

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-149704

(43)Date of publication of application : 02.06.1999

---

(51)Int.Cl. G11B 19/28  
H03L 7/08

---

(21)Application number : 09-318491 (71)Applicant : SONY CORP  
(22)Date of filing : 19.11.1997 (72)Inventor : NAKAZAWA TETSUJI

---

## (54) PHASE-LOCKED LOOP CIRCUITREPRODUCER AND LEADING-IN CONTROL METHOD OF PHASE-LOCKED LOOP CIRCUIT

### (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a CLV(constant linear velocity) servo control system and a PLL(a phase-locked loop) circuitin which wide capture and wide locking are carried out even by simple constitution.

SOLUTION: In a wide modeerror information between an output from an FCO(a frequency comparator output) counter 45 and the measured value (EFM(8-14 modulation) frequency) of a CLV velocity counter 33 is input as the error control signal of a VCO(voltage controlled oscillator) 44 through an integrating circuit 48a D/A converter 49 and an adder 43 at the time of servo lead-in. When a PLL circuit is regarded to be lockedan input to the integrating circuit 48 is changed over to the low-pass component of the phase error of PLCK by a PCI-(phase comparator integration) circuit 50 and an EFM signal. Accordinglythe oscillation frequency of the VCO is operated so as to be followed up to EFM signal frequency corresponding to disk rotational speed at the time of servo leading-in and the lock of the PLL circuitand a capture range and a locking range are widened.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1]A PLL circuit comprising:

A numerals extraction means to extract run length Limited numerals reproduced from a disk shape recording medium.

Based on a reference signal generated by reference signal generating means which generates a reference signal by predetermined frequencyand the above-mentioned reference signal generating meansA clock frequency measurement means which measures frequency of a clock obtained based on an oscillation output of a voltage control oscillation meansFrequency and a desired value of run length Limited

numerals which were measured by the above-mentioned clock frequency measurement means are compared. Frequency of run length Limited numerals extracted from a delta-frequency calculating means which computes the difference information and the above-mentioned numerals extraction means is measured based on a reference signal generated by the above-mentioned reference signal generating means. A target frequency measurement means which can output measured frequency information as a desired value in the above-mentioned delta-frequency calculating means. A phase difference detecting means which outputs phase error low-pass information on the above-mentioned clock over run length Limited numerals extracted from the above-mentioned numerals extraction means. An information selecting means which chooses either alternatively and outputs it about difference information of the inputted above-mentioned delta-frequency calculating means and phase error low-pass information on the above-mentioned phase difference detecting means and an integrating means which finds the integral about difference information or phase error low-pass information outputted from the above-mentioned information selecting means. A phase-comparison means to operate so that a phase comparison may be performed about run length Limited numerals extracted from the above-mentioned numerals extraction means and signalling frequency based on the above-mentioned clock and a signal as phase-comparison information may be outputted. An adding means which adds an output of the above-mentioned integrating means and an output of the above-mentioned phase-comparison means and is outputted as an oscillation control signal to the above-mentioned voltage control oscillation means. Whether the PLL circuit concerned locks by lock discriminating means to distinguish and the above-mentioned lock discriminating means. When the PLL circuit concerned did not lock and it is distinguished. A switchover control means which is controlled so that difference information of the above-mentioned delta-frequency calculating means is chosen by the above-mentioned information selecting means and is controlled so that phase error low-pass information on the above-mentioned phase difference detecting means is chosen by the above-mentioned information selecting means when the PLL circuit concerned locked and it is distinguished.

[Claim 2] Frequency holding mechanism by which a value of a lower cut off frequency and upper limited frequency of run length Limited numerals set up based on average value of the number of times of reversal of a code sequence generated for every cycle of a frame unit of the above-mentioned run length Limited numerals is held. A variable gain means to which a variable range of a profit is set corresponding to the range of a lower cut off frequency and upper limited frequency of the above-mentioned run length Limited numerals. The PLL circuit according to claim 1 wherein it has a variable control means into which a desired value outputted from the above-mentioned target frequency measurement means is changed and \*\* based on a profit given by the above-mentioned variable gain means.

[Claim 3] A wide mode which operates so that a capture range and a lock range of the PLL circuit concerned may be made to expand rather than usual. After a mode change with a normal mode to which operation based on a usual capture range and a lock range of the PLL circuit concerned is made to carry out is enabled. A fixed target value generating means to which a necessary fixed value set up as the above-mentioned desired value corresponding to center frequency of the above-mentioned voltage control oscillation means is made to generate and output. A desired value selecting means which chooses alternatively a desired value outputted from the above-mentioned target frequency measurement means and a desired value outputted from the above-mentioned fixed target value generating means and is outputted to the above-mentioned delta-frequency calculating means. When a desired value outputted by the above-mentioned desired value selecting means from the above-mentioned target frequency measurement means when a wide mode is set up is made to output and a normal mode is set up. The PLL circuit according to claim 1 wherein a switchover control means which controls to make a desired value outputted from the above-mentioned fixed target value generating means output and \*\* are provided.

[Claim 4] In a roll control means by which the above-mentioned target frequency measurement means carries out the roll control of the above-mentioned disk shape recording medium to a constant linear velocity based on error information of frequency of the above-mentioned run length Limited numerals and a necessary frequency desired value. The PLL circuit according to claim 1 considering as a code frequency measurement means which it has in order to measure frequency of the above-mentioned run length Limited numerals.

[Claim 5] As playback equipment which performs reproduction motion by rotating a disk shape recording medium with which run length Limited numerals are recorded to a constant linear velocity. A reproduction means which reproduces the above-mentioned run length Limited numerals from the above-mentioned disk shape recording medium. Have a PLL circuit which extracts a clock in sync with run length Limited numerals reproduced by this reproduction means and the above-mentioned PLL circuit. Based on a reference signal generated by reference signal generating means which generates a reference signal by predetermined frequency and the above-mentioned reference signal generating means. A clock frequency measurement means which measures frequency of a clock obtained based on an oscillation output of a voltage control oscillation means. Frequency and a desired value of run length Limited numerals which were measured by the above-mentioned clock frequency measurement means are compared. Frequency of run length Limited numerals extracted from a delta-frequency calculating means which computes the difference information and the above-mentioned numerals extraction means is measured based on a reference signal generated by the above-mentioned reference signal generating means. A target frequency measurement means which can output measured frequency information as a desired value in the above-mentioned delta-frequency calculating means. A phase difference detecting means which outputs phase error low-pass information on the above-mentioned

clock over run length Limited numerals extracted from the above-mentioned numerals extraction means An information selecting means which chooses either alternatively and outputs it about difference information of the inputted above-mentioned delta-frequency calculating means and phase error low-pass information on the above-mentioned phase difference detecting means An integrating means which finds the integral about difference information or phase error low-pass information outputted from the above-mentioned information selecting means A phase-comparison means to operate so that a phase comparison may be performed about run length Limited numerals extracted from the above-mentioned numerals extraction means and signalling frequency based on the above-mentioned clock and a signal as phase-comparison information may be outputted An adding means which adds an output of the above-mentioned integrating means and an output of the above-mentioned phase-comparison means and is outputted as an oscillation control signal to the above-mentioned voltage control oscillation means Whether the PLL circuit concerned locks by lock discriminating means to distinguish and the above-mentioned lock discriminating means. When it controls so that difference information of the above-mentioned delta-frequency calculating means is chosen by the above-mentioned information selecting means when the PLL circuit concerned did not lock and it is distinguished and the PLL circuit concerned locked and it is distinguished Playback equipment which having a switchover control means controlled so that phase error low-pass information on the above-mentioned phase difference detecting means is chosen by the above-mentioned information selecting means and constituting.

[Claim 6] Frequency holding mechanism by which a value of a lower cut off frequency and upper limited frequency of run length Limited numerals set up based on average value of the number of times of reversal of a code sequence generated for every cycle of a frame unit of the above-mentioned run length Limited numerals is held A variable gain means to which a variable range of a profit is set corresponding to the range of a lower cut off frequency and upper limited frequency of the above-mentioned run length Limited numerals The playback equipment according to claim 5 wherein it has a variable control means into which a desired value outputted from the above-mentioned target frequency measurement means is changed and \*\* based on a profit given by the above-mentioned variable gain means.

[Claim 7] A wide mode which operates so that a capture range and a lock range of the above-mentioned PLL circuit may be made to expand After a mode change with a normal mode to which operation based on a usual capture range and a lock range of the above-mentioned PLL circuit is made to carry out is enabled A fixed target value generating means to which a necessary fixed value set up as the above-mentioned desired value corresponding to center frequency of the above-mentioned voltage control oscillation means is made to generate and output A desired value selecting means which chooses alternatively a desired value outputted from the above-mentioned target frequency measurement means and a desired value outputted from the above-mentioned fixed target value generating

means and is outputted to the above-mentioned delta-frequency calculating means. When a desired value outputted by the above-mentioned desired value selecting means from the above-mentioned target frequency measurement means when a wide mode is set up is made to output and a normal mode is set up. The playback equipment according to claim 5 wherein a switchover control means which controls to make a desired value outputted from the above-mentioned fixed target value generating means output and \*\* are provided.

[Claim 8] In a roll control means by which the above-mentioned target frequency measurement means carries out the roll control of the above-mentioned disk shape recording medium to a constant linear velocity based on error information of frequency of the above-mentioned run length Limited numerals and a necessary frequency desired value. The playback equipment according to claim 5 considering as a code frequency measurement means which it has in order to measure frequency of the above-mentioned run length Limited numerals.

[Claim 9] In [ based on error information of frequency of the above-mentioned run length Limited numerals and a necessary frequency desired value have a roll control means which carries out the roll control of the above-mentioned disk shape recording medium to a constant linear velocity and ] the above-mentioned roll control means. The playback equipment according to claim 5 wherein a frequency desired value change control means which can change the above-mentioned frequency desired value so that a necessary constant linear velocity may be obtained is established.

[Claim 10] So that it may be in the state where it is supposed that a PLL circuit for extracting a clock in sync with run length Limited numerals reproduced from a disk shape recording medium which should be rotated by a constant linear velocity locked. As the drawing-in control method of a PLL circuit for performing drawing-in control. A wide mode which operates so that a capture range and a lock range of the above-mentioned PLL circuit may be made to expand. After a mode change with a normal mode to which operation based on a usual capture range and a lock range of the above-mentioned PLL circuit is made to carry out is enabled. Roll control processing which carries out the roll control of the above-mentioned disk shape recording medium to a constant linear velocity based on error information of frequency of the above-mentioned run length Limited numerals and a necessary frequency desired value. In after the state where were under rotation of a disk shape recording medium at least and a focus servo loop and a tracking servo loop were considered as one. Whether it is in a state it is supposed that the above-mentioned PLL circuit locks by a basis by which the above-mentioned normal mode is set to lock discrimination processing to distinguish. When a PLL circuit did not lock by the above-mentioned lock discrimination processing and it is distinguished. Control so that oscillating frequency of a voltage controlling oscillating circuit of the above-mentioned PLL circuit is fixed with predetermined center frequency and. The 1st drawing-in control management changed within the limits of the maximum and the minimum which set up a frequency desired value used in the above-mentioned roll control processing based on average value of the

number of times of reversal of a code sequence generated for every cycle of a frame unit of the above-mentioned run length Limited numerals. When a PLL circuit did not lock by the above-mentioned lock discrimination processing and it is distinguished by a basis to which the above-mentioned wide mode is set. Oscillating frequency of a voltage controlling oscillating circuit of the above-mentioned PLL circuit controls to change corresponding to frequency of the above-mentioned run length Limited numerals. A drawing-in control method of a PLL circuit constituting so that 2nd drawing-in control management controlled to consider as immobilization a frequency desired value used in the above-mentioned roll control processing may be performed.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] In this invention a disk shape recording medium is rotated by a constant linear velocity.

Therefore it is related with the PLL circuit which generates the playback equipment which performs data reproduction and the clock in sync with the run length Limited numerals reproduced from the disk shape recording medium in such playback equipment and the drawing-in control method of this PLL circuit.

[0002]

[Description of the Prior Art] The system which used disks such as CD (compact disk) as the recording medium has spread. He is trying to record on a disk the record data which gave eight-to-fourteen modulation (8-14 abnormal conditions) which is a kind of run length Limited numerals in such a system. The CLV (constant linear velocity) method is adopted about the rotating operation of the disk.

[0003] In [ for a CLV rotation servo ] the former for example The EFM signal read from the disk is poured into a PLL circuit (it is henceforth called a PLL (Phase Locked Loop) circuit) a clock is played and rotational error information is acquired as compared with the reference clock obtained with a crystal in the clock. And the rolling state of a constant linear velocity is made to be acquired by feeding back the rotational error information to the spindle motor made to rotate a disk. In order for such a CLV servo circuit to function it must be in the state where the PLL circuit locked first and the clock was extracted correctly. For this reason in the case of starting of a spindle motor the composition which performs rough servo control for drawing the EFM signal extracted first in the capture range of a PLL circuit is needed. That is when a rough servo circuit performs rotation servo control of a certain grade first and a PLL circuit locks after that for example at the time of spindle rotation start he is trying to switch CLV servo operation to the usual CLV servo circuit from a rough servo circuit in a disk reproduction device.

[0004]The composition of the CLV servo system in a disk reproduction device is shown in drawing 13. As shown in this figure a CLV servo system is provided with the rough servo circuit 100 and the CLV speed detection circuit 110 and is constituted. In the rough servo circuit 100 the EFM signal played from the disk is first inputted into the pit length measuring circuit 101. Although EFM signals are the run length Limited numerals prescribed that the maximum inversion interval of the code sequence is set to  $11T$  and the minimum inversion interval is set to  $3T$ . The above-mentioned pit length measuring circuit 101 measures the pit length between the edge of the inputted EFM signal based on the reference measurement clock by a crystal (XTAL) and supplies the information on the measurement value to the maximum hold circuit 102. In the maximum hold circuit 102 the maximum is held from the inside of the measurement information of pit length inputted from the pit length measuring circuit 101 and it outputs to the latter minimum hold circuit 103. The minimum is held and it is made to be outputted in the minimum hold circuit 103 from the inside of the maximum outputted from the maximum hold circuit 102. Here the hold value in the minimum hold circuit 103 will take the minimum pit length from the inside of the maximum pit length obtained in the maximum hold circuit 102. That is even if the inversion interval beyond  $11T$  arises in an EFM signal they will be canceled by the read-out error by the crack on a disk etc. etc. and the information on the maximum pit length near about  $11T$  will be acquired for example by them.

[0005]Thus although the information on the pit length near  $11T$  which is a maximum inversion interval will be acquired in the minimum hold circuit 103 at a certain within the limits. In the  $11T$  detector circuit 104 the error signal by ternary is outputted by comparing the pit length of  $11T$  used as the pit length (inversion interval value) currently held in the minimum hold circuit 103 and a standard. That is when both are equal about the pit length of  $11T$  used as the hold value and standard in the minimum hold circuit 103 it is made to output the comparison signal of ternary which is different respectively by the case where the pit length of  $11T$  used as a standard is larger and the case where the pit length of  $11T$  used as a standard is smaller. Thus rough servo control for CLV will be performed by supplying the spindle motor which draws the error signal acquired and is not illustrated as servo signal CLV-1 here.

[0006]In the CLV speed detection circuit 110 first it has the sink pattern detector circuit 111 and as shown in a figure an EFM signal and the signal PLCK (for example  $4.3218\text{ MHz}$ ) equivalent to the clock outputted from the PLL circuit (here not shown) for clock extraction are inputted. The sink pattern by 24 bits is encoded by the head of one frame (588 bits) of the EFM signal here and this sink pattern is formed with the fixed pattern of  $11T$ ,  $11T$  and  $2T$  from the head. And in the above-mentioned sink pattern detector circuit 111 what (that is it counts every 588 bits) the inputted EFM signal is counted for per pit detects the above-mentioned sink pattern by using the signal PLCK as a reference clock.

[0007]The detect output of the sink pattern detector circuit 111 The interpolation protection circuit 112 is supplied for example a sink pattern is not detected by the

original position under the influence of the dropout of a regenerative signal a jitter etc. or When a sink pattern is detected by the position in which a sink pattern originally does not exist processing of interpolation of a sink pattern window protection etc. is performed. From the interpolation protection circuit 112 to the sync frame generating circuit 113 and the speed counter 114 the information on the outputted sink pattern branches and is supplied. In the sync frame generating circuit 113 a sync frame signal will be generated based on the inputted detecting signal of sync frame and this sync frame signal will be used for necessary signal processing etc. In the speed counter 114 by counting the sync frame of the timing in sync with the signal PLCK with the predetermined frequency by a crystal system speed-error information is acquired and this speed-error information is outputted as speed detection signal CLV-2. By supplying this speed detection signal CLV-2 to the driver of the spindle motor which is not illustrated here CLV control in the state (namely state which the PLL circuit locks) where the sink pattern is detected can be performed. Although not illustrated here the phase error signal which obtained it for example with speed detection signal CLV-2 by carrying out the phase comparison of the clock generated in a PLL circuit to the predetermined frequency signal of a crystal system is also used for CLV control.

[0008] In the CLV servo system of such composition for example at the time of the rotation start of a spindle motor by performing rough servo control using the system of the rough servo circuit 100 the revolving speed of a spindle motor is controlled as mentioned above until a PLL circuit is drawn in a capture range. And a constant linear velocity controls disk rotational speed by the state where it is supposed that the PLL circuit locked by making it switch to the system of the CLV speed detection circuit 110 from a rough servo circuit system.

[0009] The PLL circuit which has what is called a wide capture function aiming at expansion of the capture range and the lock range as a PLL circuit for reproducing the bit clock in sync with an EFM signal is known. The example of composition of the PLL circuit which has such a wide capture function is shown in drawing 14. The PLL circuit shown in this figure is considered as the composition in which a change with the normal mode by the normal operation to which a capture range is not expanded and the wide mode to which a wide capture function is given is possible. PLL circuit 200 shown in drawing 14 is formed of two PLL circuit systems of system clock PLL circuit 300 and the RFPLL circuit 400. In system clock PLL circuit 300 dividing of the reference signal of the predetermined frequency generated by the external crystal oscillator 301 is carried out first and it has the counting-down circuit 302 inputted as a standard-for-comparison signal of the phase frequency comparator 303. The oscillating frequency signal of the voltage controlling oscillating circuit (VCO (Voltage Controlled Oscillator)) 306 where dividing of the phase frequency comparator 303 was carried out via the counting-down circuit 307 → counting-down circuit 308 → variable divider 309 A phase and a frequency comparison are performed about the above-mentioned reference signal and the error signal is outputted. In this case this error signal is supplied to terminal T-N of the switch 304.



[0010]The switch 304 is controlled so that the terminal Tout is alternatively connected to terminal T-W (at the time of a wide mode) or terminal T-N (at the time of a normal mode) by Normal / wide mode switching signal outputted from the system controller which is not illustrated for example. In this case the error signal outputted from the above-mentioned phase frequency comparator 303 is supplied to terminal T-N and spindle rotation information is supplied to terminal T-W. Here spindle rotation information is used with the signal which has the information value corresponding to the revolving speed of the spindle motor which rotates a disk. The signal outputted from the switch 304 is filtered via the low pass filter 305 and is inputted as an error control signal to VCO306. Based on the pressure value as the above-mentioned error control signal oscillating frequency is controlled by VCO306. The oscillating frequency is outputted to the counting-down circuit 307.

[0011]The switch 310 takes the composition to which the terminal Tout is alternatively connected to terminal T-W or terminal T-N by Normal / wide mode switching signal like the switch 304. In this case the signalling frequency which carried out dividing of the oscillation output of VCO306 with the counting-down circuit 307 is supplied to terminal T-W of the switch 310 and the reference signal from the crystal oscillator 301 is supplied to terminal T-N. The output from the terminal Tout is explained below. It is inputted into the counting-down circuit 401 of the RFPLL circuit 400.

[0012]The output of the switch 310 which passed the counting-down circuit 401 in the RFPLL circuit 400 The oscillating frequency signal of VCO404 can be acquired via the counting-down circuit 405 → counting-down circuit 406 and \*\*\*\*\* signalling frequency is inputted into the phase comparator 402 and is supplied to VCO404 as an error control signal via the low pass filter 403. The signalling frequency which carried out dividing of the oscillating frequency signal of above-mentioned VCO404 to the digital PLL circuit 407 with the counting-down circuit 405 The EFM signal played from the disk which is not illustrated is inputted and the clock which synchronized with the EFM signal based on the detecting signal acquired by performing a phase comparison based on these two signals is extracted.

[0013]As operation of PLL circuit 200 of the above-mentioned composition the operation at the time of a normal mode is as follows first. In both normal modes the terminal Tout will be connected to the switch 304 and the switch 310 to terminal T-N. In this case the output of VCO306 of system clock PLL circuit 300 will be supplied to the latter RFPLL circuit 400. Therefore system clock PLL circuit 300 will be used as a circuit at the time of a normal mode.

[0014]At this time the reference signal of the crystal oscillator 301 will be inputted into the phase comparator 402 as a standard-for-comparison signal via the switch 310 → counting-down circuit 401 in the RFPLL circuit 400. In the phase comparator 402 a phase comparison will be performed about the standard-for-comparison signal based on the reference signal of the above-mentioned crystal oscillator 301 and the signalling frequency into which the oscillating frequency

signal of VCO404 is inputted via the counting-down circuit 405 → counting-down circuit 406. In the RFPLL circuit 400 it is completed by this so that the oscillating frequency of VCO404 is in sync with the reference signal of the crystal oscillator 301 may be obtained. In the digital PLL circuit 407 the clock which synchronized with the EFM signal for example using the oscillating frequency of this VCO404 is reproduced. That is in the RFPLL circuit 400 side at the time of a normal mode it operates so that it may be completed by the PLL circuit loop on the basis of the reference signal acquired from the crystal oscillator 301.

[0015] The operation at the time of the wide mode in PLL circuit 200 is as follows. In this case the terminal Tout will both be connected to the switch 304 and the switch 310 to terminal T-W. Thereby in system clock PLL circuit 300 the output of the phase frequency comparator 303 is repealed and spindle rotation information is instead inputted into VCO306 as an error control signal via the low pass filter 305 from the switch 304. In this case according to the revolving speed of a spindle motor variable control of that oscillating frequency will be carried out VCO306.

[0016] In the RFPLL circuit 400 dividing of the signalling frequency acquired instead of the reference signal of the crystal oscillator 301 by carrying out dividing of the above-mentioned VCO306 with the counting-down circuit 307 will be further carried out via the switch 310 → counting-down circuit 401 and it will be inputted into the phase comparator 402 as a standard-for-comparison signal. Therefore the oscillating frequency will be controlled so that VCO404 of the RFPLL circuit 400 synchronizes with the signalling frequency based on VCO306 by the side of above-mentioned system clock PLL circuit 300. This serves as operation into which the oscillating frequency is changed as the revolving speed of a spindle motor is followed in VCO404. And as a result of the digital PLL circuit's 407 operating based on the output of this VCO404 even if it is in the state where the revolving speed of the disk has not reached a regular CLV speed for example the operation locked as synchronizes with the clock by the frequency obtained according to disk rotational speed will be obtained. That is the capture range of a PLL circuit will be made wide. Even if the state where it synchronized with the crystal oscillator 301 for example is not acquired by this as long as the PLL circuit follows and locks in disk rotational speed the data read of a signal-processing system becomes possible.

[0017]

[Problem(s) to be Solved by the Invention] By the way in the composition of a CLV servo system as shown in drawing 13. For example in a case as the CLV servo separated by disturbances such as the time of spindle motor starting mentioned above and vibration added from the outside or the signal was missing over the long period of time Although it will change to the system of the rough servo circuit 100 and will shift to rough servo control again since it draws and only ternary cannot be taken as servo signal CLV-1 servo control can be performed only for example by a narrow band of 1 Hz or less as mentioned above in the rough servo circuit 100. For this reason it had taken time comparatively to make it return even to the state where a PLL circuit locks again. In the composition of a CLV servo system as

shown in drawing 13. Since two CLV servo circuit systems of the system provided with the CLV speed detection circuit 110 for the usual servo control as a matter of course and the system of the rough servo circuit 100 for rough servo control were needed, circuit structure was large so much.

[0018] In the case of a CLV servo system as shown in drawing 13 in the rough servo circuit 100 and the CLV speed detection circuit 110. Even if it uses the PLL circuit which has a wide capture function of circuitry as shown for example in drawing 14 from servo characteristics differing greatly. For example, when disturbance etc. continued in the drawing—in servo, a possibility that the lock of a PLL circuit will separate exceeding the flatness range of a PLL circuit in a disk—rotational—speed error was high. Although especially a possibility that the disturbance by the shake which met in the direction of disk rotation will arise in a portable CD player etc. is high, since the relative change of the disk rotational speed to an optical pickup will become remarkable by this disturbance. When such a situation was taken into consideration, the control action of the lock range obtained by the PLL circuit system shown in drawing 14 and the CLV servo system shown in drawing 13 was insufficient for expecting maintenance of a locked position and drawing—in operation of a quick CLV servo.

[0019] The circuitry of PLL circuit 200 shown in drawing 14. System clock PLL circuit 300 and the RFPLL circuit 400. Since two steps of PLL circuit systems were needed like the CLV servo system shown in drawing 13, large-scale-ization of the circuit was not avoided but it was connected so much also with the cost hike.

[0020]

[Means for Solving the Problem] Also by then, simpler composition as a PLL circuit used for CLV control and clock reproduction of disk rotation in consideration of a technical problem which this invention described above. It constitutes so that a capture range and a lock range may be expanded and it aims at obtaining more stable operation as a PLL circuit.

[0021] For this reason, a numeral extraction means to extract run length Limited numerals reproduced from a disk shape recording medium. Based on a reference signal generated by reference signal generating means which generates a reference signal by predetermined frequency, and this reference signal generating means. A clock frequency measurement means which measures frequency of a clock obtained based on an oscillation output of a voltage control oscillation means. A delta-frequency calculating means which computes that difference information by comparing frequency and a desired value of run length Limited numerals which were measured by this clock frequency measurement means. Frequency of run length Limited numerals extracted from a numeral extraction means is measured based on a reference signal generated by the above-mentioned reference signal generating means. A target frequency measurement means which can output measured frequency information as a desired value in the above-mentioned delta-frequency calculating means. A phase difference detecting means which outputs phase error low-pass information on a clock over run length Limited numerals extracted from a numeral extraction

meansAn information selecting means which chooses either alternatively and outputs it about difference information of the inputted above-mentioned delta-frequency calculating meansand phase error low-pass information on the above-mentioned phase difference detecting meansAn integrating means which finds the integral about difference information or phase error low-pass information outputted from an information selecting meansA phase-comparison means to operate so that a phase comparison may be performed about run length Limited numerals extracted from a numerals extraction meansand signalling frequency based on a clock and a signal as phase-comparison information may be outputtedAn adding means which adds an output of an integrating meansand an output of a phase-comparison meansand is outputted as an oscillation control signal to a voltage control oscillation meansA lock discriminating means which distinguishes whether the PLL circuit concerned locksWhen the PLL circuit concerned did not lock by a lock discriminating means and it is distinguishedWhen it controls so that difference information of the above-mentioned delta-frequency calculating means is chosen by information selecting meansand the PLL circuit concerned locked and it is distinguishedWe decided to have a switchover control means controlled so that phase error low-pass information on a phase difference detecting means is chosen by information selecting meansand to constitute a PLL circuit.

[0022]As playback equipment which performs reproduction motion by rotating a disk shape recording medium with which run length Limited numerals are recorded to a constant linear velocityWe decided to have a PLL circuit which extracts a clock in sync with run length Limited numerals reproduced by a reproduction means which reproduces run length Limited numeralsand this reproduction means from a disk shape recording medium. And the above-mentioned PLL circuitBased on a reference signal generated by reference signal generating means which generates a reference signal by predetermined frequencyand this reference signal generating meansA clock frequency measurement means which measures frequency of a clock obtained based on an oscillation output of a voltage control oscillation meansFrequency and a desired value of run length Limited numerals which were measured by this clock frequency measurement means are comparedFrequency of run length Limited numerals extracted from a delta-frequency calculating means which computes the difference informationand a numerals extraction means is measured based on a reference signal generated by a reference signal generating meansA target frequency measurement means which can output measured frequency information as a desired value in a delta-frequency calculating meansA phase difference detecting means which outputs phase error low-pass information on a clock over run length Limited numerals extracted from a numerals extraction meansAn information selecting means which chooses either alternatively and outputs it about difference information of an inputted delta-frequency calculating meansand phase error low-pass information on a phase difference detecting meansand an integrating means which finds the integral about difference information or phase error low-pass information

outputted from this information selecting means A phase-comparison means to operate so that a phase comparison may be performed about run length Limited numerals extracted from a numerals extraction means and signalling frequency based on a clock and a signal as phase-comparison information may be outputted An adding means which adds an output of an integrating means and an output of the above-mentioned phase-comparison means and is outputted as an oscillation control signal to a voltage control oscillation means A lock discriminating means which distinguishes whether the PLL circuit concerned locks When a PLL circuit did not lock by this lock discriminating means and it is distinguished When it controls so that difference information of a delta-frequency calculating means is chosen by information selecting means and a PLL circuit locked and it is distinguished We decided to have a switchover control means controlled so that phase error low-pass information on the above-mentioned phase difference detecting means is chosen by information selecting means and to constitute playback equipment.

[0023] Furthermore So that it may be in the state where it is supposed that a PLL circuit for extracting a clock in sync with run length Limited numerals reproduced from a disk shape recording medium which should be rotated by a constant linear velocity locked. We decided to constitute as follows as the drawing-in control method of a PLL circuit for performing drawing-in control. That is a wide mode which operates so that a capture range and a lock range of a PLL circuit may be made to expand After a mode change with a normal mode to which operation based on a usual capture range and a lock range of the above-mentioned PLL circuit is made to carry out is enabled Roll control processing which carries out the roll control of the disk shape recording medium to a constant linear velocity based on error information of frequency of run length Limited numerals and a necessary frequency desired value In after the state where were under rotation of a disk shape recording medium at least and a focus servo loop and a tracking servo loop were considered as one Lock discrimination processing which distinguishes whether it is in a state it is supposed that the above-mentioned PLL circuit locks When a PLL circuit did not lock by lock discrimination processing by a basis to which a normal mode is set and it is distinguished Control so that oscillating frequency of a voltage controlling oscillating circuit of a PLL circuit is fixed with predetermined center frequency and a frequency desired value used in roll control processing It is made to perform 1st drawing-in control management changed within the limits of the maximum and the minimum which were set up based on average value of the number of times of reversal of a code sequence generated for every cycle of a frame unit of run length Limited numerals. When a PLL circuit did not lock by lock discrimination processing by a basis to which a wide mode is set and it is distinguished It controlled so that oscillating frequency of a voltage controlling oscillating circuit of a PLL circuit changed corresponding to frequency of run length Limited numerals and it carried out to performing 2nd drawing-in control management controlled to consider a frequency desired value used in roll control processing as immobilization.

[0024] According to the above-mentioned composition in the state where a PLL circuit does not lock. Will operate so that the above-mentioned voltage controlling oscillating circuit may serve as center frequency by comparing with a desired value a frequency value which measured a clock frequency of a voltage controlling oscillating circuit based on a reference signal generated in a reference signal generating means but. Hereby the above-mentioned desired value being made into frequency information on an EFM signal the PLL circuit will operate so that frequency of an EFM signal corresponding to the present disk rotational speed may be followed. In the state where a PLL circuit does not lock. A system which controls oscillating frequency of a voltage controlling oscillating circuit based on error information of a clock frequency measured based on a reference signal by a clock frequency measurement means is formed. When it changes in the state where it is supposed that a PLL circuit locked. An output which switched to a system by a phase difference detecting means which outputs phase error low-pass information on a clock over run length limited numerals and integrated with this phase error low-pass information from a system of the above-mentioned clock frequency measurement means. With having constituted so that oscillating frequency of a voltage controlling oscillating circuit might be controlled by a signal acquired by composition with a system of a phase-comparison means supposed that a phase error high-frequency component is mainly outputted. Also in a basis in the state where it is supposed that a PLL circuit locked it becomes possible to make operation of a PLL circuit follow frequency (disk rotational frequency) of an EFM signal based on the above-mentioned phase error low-pass information.

[0025]

[Embodiment of the Invention] Hereafter an embodiment of the invention is described with reference to drawing 1 - drawing 12. Suppose that subsequent explanation is given in the following order.

1. Composition 2. PLL/CLV servo circuit of playback equipment (composition of a 2-a. PLL/CLV servo circuit)

(Composition of a 2-b. CLV target setting circuit)

(Operation at the time of a 2-c. normal mode)

(CLV target variable setting-operation by 2-d. software)

(Operation at the time of a 2-e. wide mode)

(2-f. adjustable-speed reproduction motion)

[0026] 1. The lineblock diagram 1 of playback equipment is a block diagram showing the example of composition of the important section of a CD player as playback equipment supposed that it has the rotational speed control device and rotary drive for the CLV servo control as an embodiment of the invention. The \*\*=proof mode (wide mode) for the CD player of this embodiment being made portable for example and not being concerned with the disturbance by vibration a shake etc. at the time of CD player carrying corresponding to this but enabling the output of a playback voice as stably as possible. It has the composition whose setting out of a change with the normal mode which performs ordinary reproduction operation is enabled.

[0027]As for the disk 1 in drawing 1 information is read by the optical head 3 in the state where it rotated by the constant linear velocity (CLV) with the spindle motor 2. The optical head 3 irradiates with a laser beam to the disk 1 and reads in the catoptric light the information currently recorded for example on the disk 1 with the pit gestalt.

[0028]In order to perform data reading operation from the disk 1 as mentioned above it has the detector 3b for the optical head 3 to detect the laser diode 3c which performs a laser output 3d of optical systems which comprise a polarization beam splitter 1/4 wavelength plate etc. and the object lens 3a used as a laser output end and catoptric light etc. By the biaxial mechanism 4 in the direction which attaches and detaches on a disk radial (tracking direction) and a disk the object lens 3a is held so that a change is possible and the optical head 3 whole is made movable by the thread mechanism 5 in the disk radial.

[0029]The information detected from the disk 1 is supplied to RF amplifier 6 by the reproduction motion of the above-mentioned optical head 3. In this case in RF amplifier 6 a regenerative RF signal a tracking error signal a focus error signal etc. are acquired by performing amplification processing necessary data processing etc. about the inputted information. The tracking error signal supplied from RF amplifier 6 in the optical system servo circuit 12 is based by a focus error signal and the TORRAKU jump instructions from the system controller 14 access instruction etc. various servo driving signals are generated the biaxial mechanism 4 and the thread mechanism 5 are controlled and a focus and tracking control are performed. [0030]The regenerative RF signal acquired with RF amplifier 6 is that the binarization circuit 20 in the digital disposal circuit 7 is supplied is outputted as a binary-ized EFM signal (8-14 modulating signal) and is supplied to the register 21 the PLL/CLV servo circuit 25 and the synchronization detecting circuit 26. A tracking error signal and a focus error signal are supplied to the optical system servo circuit 12.

[0031]The EFM recovery of the EFM signal supplied to the EFM decode circuit 22 via the register 21 from the above-mentioned binarization circuit 20 is carried out here. That is 14-8 conversion process is performed. The data by which the EFM recovery was carried out in the EFM decode circuit 22 is supplied to ECC / DEINTA reeve processing circuit 23. In ECC / DEINTA reeve processing circuit 23 error correction processing and DEINTA reeve processing are performed performing the writing and read operation of data which were supplied to RAM 24 by prescribed timing. The data in which error correction processing and DEINTA reeve processing were performed by ECC / DEINTA reeve processing circuit 23 is supplied to the memory controller 8 mentioned later.

[0032]In the PLL/CLV servo circuit 25 the signal PLCK as a reproduction clock in sync with an EFM signal is outputted by inputting the EFM signal supplied from the binarization circuit 20 and operating a PLL circuit. This signal PLCK serves as a disposability-standard clock in the digital disposal circuit 7 as a master clock. Therefore the operation timing of the signal-processing system of the digital disposal circuit 7 becomes what followed the revolving speed of the spindle motor

2. Here the frequency of the signal PLCK in the state where the PLL circuit locked under the conditions which the disk 1 is driving by CLV by  $n$  double speed shall be  $n \times 4.3218$  MHz for example.

[0033] At this embodiment the digital disposal circuit 7 is operating with the clock according to the revolving speed of the spindle motor 2. For example even if it changes into the state where the spindle motor 2 is not rotating at a specific CLV speed as long as a PLL circuit locks and detection of a sink pattern is enabled it is possible to perform processing about read data.

[0034] In the PLL/CLV servo circuit 25 the CLV servo signal for CLV control is generated using the signal acquired by operation of the above-mentioned PLL circuit the inputted EFM signal etc. and Motor Driver 13 is supplied. The internal configuration of the PLL/CLV servo circuit 25 is mentioned later. Motor Driver 13 generates a motor driving signal based on the CLV servo signal supplied from the PLL/CLV servo circuit 25 and supplies it to the spindle motor 2. This drives the spindle motor 2 so that it may rotate by a constant linear velocity to a disk.

[0035] In the synchronization detecting circuit 26 operation for detecting sync frame from the EFM signal inputted from the binarization circuit 20 is performed by using as a reference clock the signal PLCK inputted from the PLL/CLV servo circuit 25. Here although the structure of one frame of an EFM signal is shown in drawing 8 let 24 of 588 bits which forms this one frame of the head be a sink pattern. Let this sink pattern be a fixed pattern formed by continuation of the inversion interval of  $1T$  and  $2T$  as shown in a figure. In the synchronization detecting circuit 26 processing of the interpolating process of sync frame window protection etc. is also performed a sake [ when the sync frame pattern in data is missing under a dropout or the influence of a jitter or the same sync frame pattern is detected ]. The register 21 will operate according to the output of the synchronization detecting circuit 26. In this synchronization detecting circuit 26 in the state where the number of bits '24' of sync frame is properly obtained as counted value in the timing of the signal PLCK. Signal GFS which shows that it is in the state where sync frame is detected properly is outputted and it is outputted to the system controller 14 in this case.

[0036] Here with the state where synchronization detecting circuit 26 sync frame is detected properly as mentioned above. Since it is equivalent to the state where the PLL circuit in the PLL/CLV servo circuit 25 locks in the system controller 14. In the period when signal GFS is outputted the output of lock signal S-LOCK which shows that it is in the state where the PLL circuit locks is enabled. Although lock signal S-LOCK is not shown in drawing 1 as it is mentioned later it is used for the change of operation in the PLL/CLV servo circuit 25.

[0037] Although the data outputted as mentioned above from ECC / DEINTERLEAVE processing circuit 23 of the digital disposal circuit 7 is used as what is called digital audio data based on 16-bit quantization and a 44.1-kHz sampling These digital audio data are supplied to the memory controller 8.

[0038] For example when the  $\ast\ast$ -proof mode (wide mode) mentioned above is set up. According to the rotation measure of the spindle motor 2 it is made to perform



signal processing in the digital disposal circuit 7 from the time of a normal mode by the high-speed rate in the speed range where the spindle motor 2 is more nearly high-speed than the time of a normal mode (one X) because it is carried out by the roll control. And the digital audio data outputted by the high-speed rate from the digital disposal circuit 7 is written into RAM (buffer memory) 9 by control of the memory controller 8. Data is stored and it is usually made to control read-out to RAM 9 in the memory controller 8 according to a rate. Thereby it is changed into an analog signal by D/A converter 10 and is based on a usual pitch and speed as an audio signal outputted from the audio output terminal 11. When the normal mode is set up the roll control of the spindle motor 2 is carried out in the speed range corresponding to the time of a normal mode and signal processing in the digital disposal circuit 7 is performed with the rate according to this revolving speed. In this case it is made to be carried out by the writing and reading control to RAM 9 of the memory controller 8 by time-axis amendment of data and by this he is trying for the pitch and speed of an audio signal which are outputted from the audio output terminal 11 at the time of a normal mode to become the usual thing. Operation of the memory controller 8 is controlled by the system controller 14.

[0039] According to the necessary operation which each functional circuit unit which the system controller 14 is provided with a microcomputer etc. is constituted and constitutes the CD player concerned should perform control management is performed suitably. It shall be provided in the various keys for performing operation in which a user performs necessary several kinds of operations including reproduction, a halt, stop, search etc. and the operation information is supplied to the final controlling element 15 to the system controller 14. In the system controller 14 a necessary control action is suitably performed based on the inputted operation information. Especially in this embodiment it shall be provided in the final controlling element 15 in the mode switching key for performing change setting out in the normal mode and \*\* - proof mode which were mentioned above.

[0040] 2. PLL/CLV servo circuit (composition of 2-a. PLL/CLV servo circuit)

drawing 2 is a block diagram showing the example of composition of the PLL/CLV servo circuit 25 in the digital disposal circuit 7 shown in drawing 1. As shown in this figure the PLL/CLV servo circuit 25 comprises the CLV servo circuit system 25A and the PLL circuit system 25B. The EFM signal by which dividing was carried out in the CLV servo circuit system 25A based on the predetermined division ratio for example with the counting-down circuit 30. Signalling frequency FS which is carried out dividing of the oscillating frequency (for example 16.934 MHz) outputted from the crystal oscillator 31 with the counting-down circuit 32 is inputted to the CLV speed counter 33. Here signalling frequency FS outputted from the counting-down circuit 32 shall be expressed  $FS = n \times RFCK / 64$ . RFCK is a lead frame clock and is made into the 7.35-kHz signalling frequency by a crystal system. The variable n shall show the double speed on the basis of the speed which the disk 1 is driving by CLV by 1X. Therefore if the disk 1 is driving by CLV by 1X since it is set to  $n = 1$  signalling frequency FS is set to  $FS = 1 \times 7350 / 64 = 114.84375$  Hz and will be about 115 Hz. This is converted into time and serves as a comparatively long cycle of

about 9 ms.

[0041] In the CLV speed counter 33 the edge number of the inputted EFM signal is counted for example by making the above-mentioned signalling frequency FS into a sampling period. According to this embodiment the frequency value of the EFM signal which may be detected based on the information on the edge number of the EFM signal acquired for every cycle of signalling frequency FS is treated as CLV speed information and the measuring result is outputted. The measuring output of the CLV speed counter 33 is supplied to the PLL target variable circuit 39 by the side of the subtractor 34 and the PLL circuit system 25A. In the subtractor 34 speed-error signal CLV-S to the CLV speed used as a target which is the error information of the present CLV speed error is obtained by subtracting the measuring output of the CLV speed counter 33 to the CLV target value outputted from the CLV target setting circuit 35. In this embodiment the "CLV scan mode" for drawing a PLL circuit in a capture range in a state from which the lock of the PLL circuit separated by servo omission long-term lack of the signal etc. the time of starting of the spindle motor 2 and in the middle of reproduction is set up. And as a CLV target value is mentioned later it is made to change in the CLV target setting circuit 35 in the CLV scan mode at the time of a normal mode so that a sweep may be carried out in the range corresponding to the frequency range which an EFM signal can take. At the time of the mode for \*\* it is not concerned at the time of the usual CLV servo control mode and CLV scan mode but the CLV target value by a predetermined fixed value is set up. This control is performed about control signal SC1 supplied from the system controller 14.

[0042] Speed-error signal CLV-S outputted from the above-mentioned subtractor 34 is outputted to the adding machine 36. Phase error signal CLV-P (terminal T-L side) or the fixed value (terminal T-UL side) by '0' is inputted via switch SW1 in the input of another side of this adding machine 36. In this case in [ it shall be alternatively connected switch SW1 to either one of terminal T-L or terminal T-UL in the terminal Tout and ] the time of a normal mode The change state is controlled by lock signal S-LOCK outputted from the system controller 14 shown in drawing 1. Lock signal S-LOCK is made into the signal shown for whether the PLL circuit system locks as mentioned above and if the PLL circuit system locks it will be taken as H level and the thing which is L level if not locked here.

[0043] And if the terminal Tout will be connected to terminal T-L if lock signal S-LOCK is H level and switch SW1 is L level the terminal Tout will be connected to terminal T-UL. Therefore in the state where it is assumed to the adding machine 36 that the PLL circuit locks phase error signal CLV-P will be supplied and the fixed value by '0' will be supplied in the state where it is assumed that it does not lock. However it is outputted to switch SW1 from the system controller 14 and mode switching signal S-NW corresponding to Normal/wide mode is also inputted into it. And when it corresponds as mode switching signal S-NW at the time of a wide mode lock signal S-LOCK is repealed to the switching control of switch SW1 and switch SW1 is fixed to terminal T-UL. That is it will not be concerned with whether the PLL circuit locks but the fixed value by '0' will be regularly outputted

from switch SW1.

[0044]Phase error signal CLV-P is a signal acquired by performing a phase comparison for example about the dispatch frequency of the voltage controlled oscillator (VCO) 44 of the PLL circuit system 25 and the reference frequency signal of a crystal system and is treated as rotation phase error information in a CLV servo.

[0045]By passing the low boost circuit 37 which a digital low pass filter a bypass circuit etc. are put together for example and is formed a low-pass ingredient is extracted and the output of the adding machine 36 is supplied to D/A converter 38. In D/A converter 38 the output of the low boost circuit 37 as a digital signal is changed into an analog value and Motor Driver 13 (refer to drawing 1) is supplied as a CLV servo control signal. In Motor Driver 13 the motor driving signal generated based on the supplied CLV servo control signal will be supplied by the spindle motor 2 and as for the spindle motor 2 variable control of the revolving speed will be carried out by this according to a CLV servo control signal.

[0046]In PLL circuit 25 Bit has the voltage controlling oscillating circuit (VCO) 44 which generates the signalling frequency PLCK as a reproduction clock. According to the output of the adding machine 43 mentioned later variable control of the oscillating frequency of this VCO 44 is carried out. In this figure for convenience although the signalling frequency PLCK shall be directly outputted from VCO 44 It is set to signalling frequency PLCK=4.3218MHz when the PLL circuit locks in the state where frequency which carried out 1 / 2 dividing of the oscillating frequency of VCO 44 actually is made into the signalling frequency PLCK for example the disk is rotated by 1X.

[0047]In the analog PCO circuit 41 as a phase comparator a phase with reproduction clock signal PLCK is compared about an EFM signal and the detect output is outputted to the filter 42. The filter 42 is outputted as error control signal S-E for filtering the detect output of the analog PCO circuit 41 and controlling the oscillating frequency of VCO 44. This error control signal S-E is supplied to the adding machine 43 via switch SW4.

[0048]ON-and-OFF control of switch SW4 is carried out by training signal S-TRN outputted from the system controller 14. When it was a case of this embodiment and lack of the time of disk rotation starting or a disk read signal arises at the time of a normal mode When the state where it is obtained over a long period of time with the state where an EFM signal is not inputted to a PLL circuit is detected the training mode by which the oscillating frequency of VCO 44 is maintained with center frequency is set up as operation of a PLL circuit. Or setting out of a training mode is also enabled by predetermined manual operation. Above-mentioned training signal S-TRN is a signal outputted when the above-mentioned training mode is set up and by this training signal S-TRN switch SW4 It is supposed that it is off at the time of a training mode and it is controlled to become one at the time of normal operation other than the time of a training mode. That is in the time of a training mode the signal component based on the detect output of the analog PCO circuit 41 is not used for the oscillated frequency

control of VCO44. Although detailed explanation is omitted hereThe error signal which subtracted the measuring output of the FCO counter 45 mentioned later with the PLL target value outputted from the PLL target fixed value register 40 at the time of a training mode is acquiredThe oscillating frequency of VCO44 is controlled by the control signal acquired by integrating with this error signal by the integration circuit 48. As a resultthe operation converged so that the oscillating frequency of VCO44 may be maintained with necessary center frequency will be obtained.

[0049]Although the fundamental composition as PLL circuit 25B is formed of the loop of above-mentioned analog PCO circuit 41 → filter 42 →(switch SW4 → adding machine 43) →VCO44In additionthe automatic regulation circuit system of the center frequency of VCO44 provided with the FCO (Frequency Comparator Output) counter 45It has a wide locking-circuit system which expands the lock range of a PLL circuit by having the PCI (Phase Comparator Integration) circuit 50. In the above-mentioned automatic regulation circuit systemit comprises making variable the PLL target value which performs the measuring output of the FCO counter 45and comparison also so that the capture range of a PLL circuit may be expanded.

[0050]In this embodimentthe circuit operation for expanding the above-mentioned capture range and lock range shall be carried out at the time of the mode for \*\*. Thereforeespecially about the operational mode of the PLL/CLV servo circuit 25 at the time of the mode for \*\*it will also be henceforth called a "wide mode."

[0051]The FCO counter 45 measures the frequency of the signalling frequency PLCK by counting signalling frequency PLCK / 36 by making signalling frequency FS of a crystal system into a sampling period. The measuring output of the FCO counter 45 is supplied to the subtractor 46. In the subtractor 46the measuring output of the FCO counter 45 is subtracted to the PLL target value inputted via switch SW2. A PLL target value is a desired value of the frequency of the signalling frequency PLCK for making it converge on the center frequency which should be set up in VCO44therefore the error information of the frequency of the present signalling frequency PLCK will be acquired from the subtractor 46.

[0052]Switch SW2terminal T-W or terminal T-N is alternatively connected to the terminal Toutand the connection change is controlled by mode switching signal S-NW corresponding to Normal/wide mode supplied from the system controller 14. As mode switching signal S-NWin the case of a normal modethe terminal Tout is connected at terminal T-Nandin the case of a wide modeit is connected at terminal T-W. Herethe PLL target fixed value register 40 in which the predetermined PLL target value was set up as a fixed value is connected to terminal T-N of switch SW2and the output of the PLL target variable circuit 39 is supplied to terminal T-W. In the PLL target variable circuit 39it outputs by performing variable in a prescribed range so that speed information signal CLV-S which is an output of the CLV speed counter 33 may be mentioned later. It shall be performed by control signal SC2 to which the variable control of the value of this speed information signal CLV-S is outputted from the system controller 14.

[0053]The error information outputted from the subtractor 46 is supplied to terminal T-UL of switch SW3 via the amplifier 47. Hereas for switch SW3like switch SW1 mentioned aboveon H level (a PLL circuit is a locked position)the terminal Tout is connected to terminal T-L for lock signal S-LOCKand the terminal Tout is connected to terminal T-UL on L level (state which the PLL circuit does not lock). The detect output of PCI circuit 50 mentioned later is supplied to terminal T-UL via the amplifier 51 and switch SW5.

[0054]The integration circuit 48 finds the integral about the information value outputted from the terminal Tout of switch SW3and outputs the integrated output to D/A converter 49. In D/A converter 49the information value from the terminal Tout as digital information is changed into the information signal by an analog signaland it outputs to the adding machine 43. In the adding machine 43the phase error signal supplied from the output [ of D/A converter 49 ] and analog PCO circuit 41 side is addedand the summed signal is outputted as control voltage for controlling the oscillating frequency of VCO44.

[0055]The PCI (Phase Comparator Integration) circuit 50 is made into the phase information detection circuit formed of a digital circuitand detects and outputs the low-pass ingredient of the phase error of the signalling frequency PLCK over the inputted EFM signal. By the wayalthough the analog PCO circuit 41 is made into analog circuitryfor exampleit originates in PCI circuit 50 being made into a digital circuit and an error arises in both phase detection outputIn this embodimentit is trying to give the offset value corresponding to this error to the detect output of PCI circuit 50and both error is canceled. The output of this PCI circuit 50 can be regarded as the information showing the delta frequency of an EFM signal and the signalling frequency PLCK in the range which the phase locks. The output signal of PCI circuit 50 is supplied to terminal T-L of switch SW3 via the amplifier 51 and switch SW5. Herewhen the output signal of PCI circuit 50 is inputted into the integration circuit 48 via switch SW5 → switch SW3the integral value outputted from the integration circuit 48 is changed into an analog signal by D/A converter 49and is outputted as phase error signal S-PC.

[0056](The composition of a 2-b.CLV target setting circuit)then the composition of the CLV target setting circuit 35 with which the CLV servo circuit system 25A is equipped are explained. At the time of the CLV scan mode in a normal mode. It is premised on operating so that VCO44 of the PLL circuit system 25B may be fixed with center frequency ( $PLCK = 4.3218 \text{ MHz}$ ) by the automatic regulation mode of center frequencyIn the CLV target setting circuit 35 of the CLV servo circuit system 25Aaccording to control signal SC1as the CLV target value carries out a sweepat the time of CLV scan modeit is changed in a prescribed range. It becomes possible to perform CLV control so that a PLL circuit may lockwithout this using rough servo control together like before.

[0057]Herethe setting method of the sweep range of the target value set up in the CLV target setting circuit 35 is explained. Although a CLV target value is compared with the CLV speed information detected at the CLV speed counter 33It is the frequency information on the EFM signal acquired based on counting

the edge number of an EFM signal by using signalling frequency  $RFCK / 64$  as a sample clock as CLV speed information detected at the CLV speed counter 33 as drawing 1 explained. For this reason it is necessary to make it correspond to the frequency it is supposed as a value which a CLV target value can take that an EFM signal can take. However according to the state of a code sequence where an EFM signal consists of an inversion interval of  $3T-11T$  the frequency changes by a certain within the limits. Then suppose that the maximum and the minimum of the CLV target value which should be changed as follows are calculated in this embodiment.

[0058] Here EFM Ward (14 bits) of the 256 passage by which EFM encoding is carried out corresponding to each of 0 – 8 bit data of the origin to FF is shown in drawing 9 drawing 10 drawing 11 and drawing 12. That is it is an EFM translation table. This EFM Ward is made into the so-called pulse inversion signal of NRZI and the position of "1" turns into [ therefore ] a pulse inversion position about each EFM Ward. The EFM Ward's number of times of pulse reversal (getting it blocked the number of "1") is described with EFM Ward at each figure.

[0059] This EFM Ward is what was chosen from the patterns of 16384 (14th power of 2) possible individual at 14 bits as for 256 passages in order to correspond to 8 bit data. The conditions of being that by which two or more "0" enters between ""1"" especially are fulfilled and as an inversion interval (interval of "1" and "1") the minimum inversion interval is set to  $3T$  and the maximum inversion interval is set to  $11T$ .

[0060] Here it is as follows when the number of times of reversal in 1 word which showed drawing 9 drawing 10 drawing 11 and drawing 12 each EFM word is totaled. EFM word of the one number of times of reversal : EFM word of the two number of times of 4-word reversal : EFM word of the three number of times of 56-word reversal : EFM word of the four number of times of 120-word reversal : EFM word of the five number of times of 70-word reversal : 6 words [0061] From this the number of times of reversal of the average in 1 word will be set to  $(4 \times 1 + 56 \times 2 + 120 \times 3 + 70 \times 4 + 6 \times 5) / 256 = 786 / 256$  and will be a little more than about 3 times.

[0062] the sink pattern whose EFM frame is  $11T + 11T + 2T$  (that is three reversal) here as shown in drawing 8 and 14-bit every -- there is a margin bit of the triplet allotted between EFM words. Then when it assumes that the data by which EFM encoding is carried out is a random number and the reversal probability of occurrence in each margin bit is set to one half the number of times of average reversal within one EFM frame is  $x(786/256) \cdot 33 + (1/2) \cdot x34 + 3 \cdot 121.32$  [a time]. It becomes, "33" is the numbers of words as main data parity and a sub-code 34 is the number of margin bits and "3" is the number of times of reversal of a sink pattern. (Refer to drawing 8)

[0063] For this reason the average frequency of an EFM signal is  $= (121.32 \times 7.35 \text{ [KHz]}) \cdot 891.1702 \text{ [KHz]}$ .

It can think. In the format according to the usual CD systems since the PCM audio information by which eight-to-fourteen modulation is carried out does not serve

as a perfect random number also when reliability is somewhat missing as an average frequency of an EFM signal it generates but in most it becomes a proper value. Then suppose that 900K is set up as the maximum of a CLV target value to this in consideration of a certain amount of margin of a side with high frequency by this embodiment based on 891.1702 which is an average frequency of the above-mentioned EFM signal.

[0064] When non-sound patterns and the random pattern not more than -60dB are contained in an EFM signal for example the average number of bits per 1 sample cycle will be 2.27 bits the frequency of the EFM signal at this time is set to about 790 kHz and it is considered that this is the minimum value which can be taken theoretically.

[0065] In order to make a certain amount of margin as a CLV target value have for example here it takes into consideration that two edge (2 times reversal) patterns (2 times reversal) are focusing on the one where a numerical value is smaller in EFM conversion. If it assumes that the number of times of reversal of only each symbol of main data is 2 times to the number-of-times number of reversal of the symbols of each main data (refer to drawing 8) being about an average of 2.85 it turns out that the frequency of an EFM signal is set to about 750 kHz.

Therefore the center of the frequency of an EFM signal can be seen as what exists in the range of about 900 kHz - 750 kHz. Therefore as a CLV speed a main speed will be between 900K-750K. According to old explanation as a sweep range of the CLV target value set up in the CLV target setting circuit 35 the maximum shall be set to 900K and the minimum shall be set to 750K in this embodiment.

[0066] When hardware constitutes the CLV target variable setting circuit which functions at the time of a normal mode as the CLV target setting circuit 35 it can constitute as it is shown for example in the block diagram of drawing 3. In drawing 3 although both the composition of the CLV servo circuit system 25A shown in drawing 2 is also shown about this composition it is the same as that of drawing 2 and drawing 2 and identical codes are attached and explanation is omitted.

[0067] The composition of the CLV target variable setting circuit 35A it is supposed that is operated as the CLV target setting circuit 35 at the time of a normal mode is shown in drawing 3. In the CLV target variable setting circuit 35A the counter section 60 performs an up-and-down count about a CLV target value. The selector 61 chooses and outputs the maximum (900K) and the minimum (750K) of a CLV target value which are held respectively to the minimum value register 62 and the maximum register 63. When a set / reset part 64 sets the counter section 60 when the counted value in the counter section 60 turns into the maximum (900K) and counted value turns into the minimum (750K) Or when the edge of load signal LD is detected a reset action is made to perform to the counter section 60. The detect output of the maximum primary detecting element 65 which detects that the counted value (CLV target value) of the counter section 60 turned into the maximum is inputted into the set input terminal of a set / reset part 64. To a reset input terminal the logical sum of OR gate 68 into which the detect output of the minimum primary detecting element 66 which detects that

the counted value of the counter section 60 turned into the minimum and the detect output which detected the edge of the load signal by the edge detection circuit 67 are inputted is supplied. Hereas control signal SC1 supplied to the CLV target variable setting circuit 35A it is considered as load signal LD and lock signal S-LOCK.

[0068] For example supposing load signal LD is supplied from the system controller 14 to the counter section 60 the counter section 60 will load a count initial value and will start count operation. Although a suitable value should just be arbitrarily set up from the inside of the maximum (900K) and the minimum (750K) when the maximum is set up as an initial value for example an initial value here loads the CLV target value of 900K and starts down counting by making into a desired value 750K which is the minimum. It shall be carried out to the timing to which this count timing synchronized with signalling frequency FS by RFCK/64 for example. That is although not illustrated here for example signalling frequency FS is supplied as a timing clock for the counter section 60 to count. Here supposing the down counting operation by the above-mentioned counter section 60 is continued to the minimum (750K) the detecting signal which detected that the CLV target value turned into the minimum in the minimum primary detecting element 66 will be outputted and a reset signal will be outputted from a set / reset part 64. It will change to the operation which performs a rise count by making the maximum (900K) into a count desired value by the counter section 60 by this. Reset starts and it is made to change to a rise count also by the timing from which reversal of a load signal is obtained.

[0069] And supposing the rise count operation of the counter section 60 is continued to the maximum (900K) in the maximum primary detecting element 65 the detecting signal which shows that the CLV target value turned into the maximum will be outputted. Although a set signal is outputted from a set / reset part 64 it is made for the counter section 60 to change to the operation which performs down counting by making the minimum (750K) into a count desired value by this by this. The counter section 60 until lock signal S-LOCK (outputted from the system controller 14) of H level is inputted into an enabling inversed input terminal That is a CLV target value is changed in the range of the minimum from the maximum currently held as mentioned above at the minimum value register 62 and the maximum register 63 until it will be in the state where it is supposed that the PLL circuit locked. And if it changes into the state where the PLL circuit locked and lock signal S-LOCK of H level is inputted into an enabling inversed input terminal the counter section 60 suspends that count operation and the counted value at this time (CLV target value) will be held and it will be made to be outputted. The above operation is performed at the time of the CLV scan mode at the time of the normal mode explained below.

[0070] In the above-mentioned composition it is also considered that it is made to perform the change of the rise count of the counter section 60 and down counting based on the measuring result of EFM pit length. for example-- measuring the pit length of the pattern of 11T (maximum inversion interval) in the EFM pit length



measuring circuit which is not illustrated and being based on the comparison result to the necessary reference value of this measuring result -- mode change \*\*\*\*\* of the rise count of the counter section 60 and down counting -- it can be made like.

[0071] (Operation at the time of a 2-c. normal mode) then the operation at the time of the normal mode of PLL servo circuit 25 by the above-mentioned composition are explained. A normal mode is the ordinary reproduction mode in which opposite \*\*\*\*\* is not given to the CD player concerned as mentioned above and the disk 1 is controlled by a stationary state to rotate by 1X CLV and. The reading control by the high-speed writing and regular speed using RAM 9 of data shall not be carried out.

[0072] At the time of a normal mode in PLL servo circuit 25 shown in drawing 2. By switch SW2 being connected to terminal T-N the PLL target fixed value currently held with the PLL target fixed value register 40 is supplied to the subtractor 46 by mode switching signal S-NW outputted from the system controller 14. It is made for switch SW5 to become invalid [ operation of 50 of a PCI circuit ] by being controlled to become off by mode switching signal S-NW.

[0073] Here for example The time of starting of a spindle motor or the garbage of servo omission or the disk 1 When the lock of a PLL circuit shifts by the dropout by a crack etc. beyond in predetermined time a PLL circuit is made to lock and it shifts to CLV scan mode for reproduction motion to be performed. Since the PLL circuit does not lock about switch SW1 controlled by lock signal S-LOCK and SW3 it is controlled in this stage so that the terminal Tout is connected to terminal T-UL. Therefore to the adding machine 36 in the CLV servo circuit system 25A the value of '0' will be inputted as signal CLV-P and the automatic regulation circuit system of the VCO center frequency by the side of the FCO counter 45 will be validated in the PLL circuit system 25B.

[0074] By the change state of each switch being controlled as mentioned above it becomes the automatic regulation mode for making it VCO44 become center frequency at the PLL circuit system 25A side by the initial state at the time of CLV scan mode. That is the adding machine 43 is not supplied error control signal S-E obtained by switch SW4 being made off based on the detect output of the analog PCO circuit 41 and it is made. And the output of an automatic regulation circuit system provided with the FCO counter 45 will be supplied to VCO44 via the adding machine 43 by terminal T-UL being connected to the terminal Tout in switch SW3.

[0075] As operation of the PLL circuit system 25B at this time Signalling frequency FS (RFCK/64) of a crystal system is used as a reference clock at the FCO counter 45 The frequency value of signalling frequency  $PLCK / 36$  obtained based on the oscillating frequency of VCO44 is measured and this measuring result is compared with a PLL target fixed value (output of the PLL target fixed value register 40) in the subtractor 46. And the output of this subtractor 46 is supplied to the adding machine 43 as frequency error signal S-FC via amplifier 47 -> switch SW3 -> integration circuit 48 -> D/A converter 49. Since explanation is

easy supposing it is in the state where the training mode is set up at this time. Since the output of the analog PCO circuit 41 is not supplied to the adding machine 43, VCO44 will be controlled only by the loop to which frequency error signal S-FC by the side of the FCO counter 45 returns so that its signalling frequency  $PLCK / 36$  approaches a PLL target fixed value. It will be controlled to be converged and fixed so that the oscillating frequency of VCO44 may turn into center frequency ( $PLCK = 4.3218 \text{ MHz}$ ) set up corresponding to the normal mode by this. That is at the time of the CLV scan mode in a normal mode it can be concluded that the PLL circuit system 25B is in the state where VCO44 was fixed with center frequency.

[0076] On the other hand in the CLV servo circuit system 25A. When the subtractor 34 compares the speed information signal outputted from the CLV speed counter 33 to the CLV target value outputted from the CLV target setting circuit 35, the CLV target value is changed in the CLV target setting circuit 35. That is as the CLV target setting circuit 35 until the state where it was presupposed that the CLV target variable setting circuit 35A explained by drawing 3 functioned and the PLL circuit locked (lock signal S-LOCK=H) is acquired. The sweep of the CLV target value is carried out and it is made and changed in the range of the maximum (900K) – the minimum (750K) by operation explained by drawing 3. Therefore based on the speed-error information acquired by the difference of the present CLV speed information (output of the CLV speed counter 33) to the CLV target value which is changed as for the spindle motor 2, the revolving speed will be controlled by \*\* to which the frequency of an EFM signal comes for the drawing-in range of a PLL circuit. By switch SW1 being connected to terminal T-UL at this time at the time of CLV scan mode, phase error signal CLV-P which becomes unnecessary as a control component is not supplied to the adding machine 36 but '0' is supplied as a value.

[0077] Detection of the sync frame of an EFM signal is enabled by having resulted here grade [ corresponding to the drawing-in range of a PLL circuit in the revolving speed of the spindle motor 2 ]. Supposing lock signal S-LOCK by H level is outputted from the system controller 14, the state where it is supposed that the PLL circuit locked henceforth will shift to the "normal operation mode" maintained but. When it is having shifted to this normal operation mode it will be fixed at this time and the CLV target value changed in the counter section 60 of the CLV target setting circuit 35 will be set up as a CLV target value used for the CLV control in subsequent normal operation modes. As for the CLV servo circuit system in this embodiment by such operation one transfer characteristic can always be acquired. By using lock signal S-LOCK as H level by the CLV servo circuit system 25A, present phase error signal CLV-P is inputted to the adding machine 36 because switch SW1 changes to terminal T-L and it is added with present speed-error information CLV-S. And CLV control of the spindle motor 2 will be carried out by the motor driving signal acquired based on the output of this adding machine 36.

[0078] Although switch SW3 will change from terminal T-UL to terminal T-U by lock signal S-LOCK (H level) in the PLL circuit system 25B by being considered

as "normal operation mode" In a normal mode by supposing that it is off switch SW5 becomes off [ the output of PCI circuit 50 ] therefore it becomes open [ the input of the integration circuit 48 ]. For this reason at the time of normal operation mode the integral value (last value at the time of scanning mode) held in the integration circuit 48 at the time of it being supposed that the PLL circuit locked is held and it is inputted into the adding machine 43 as frequency error signal S-FC. At this time except when a training mode is set up it is that switch SW4 is considered as one and error control signal S-E obtained based on the phase-comparison output of the analog PCO circuit 41 is also inputted into the adding machine 43. In the PLL circuit system 25B at the time of normal operation mode the state where it locked by controlling the oscillating frequency of VCO44 with the pressure value acquired by adding above-mentioned frequency error signal S-FC to error control signal S-E is maintained by this.

[0079] Thus in this embodiment in the CLV scan mode at the time of a normal mode. As operation for drawing CLV speed even in the speed corresponding to the capture range of a PLL circuit By counting the edge number (number of times of reversal) of an EFM signal with a cycle longer than the conventional CLV servo circuit system of about 115 Hz ( $\approx 9\text{ms}$ ) measure CLV speed and This measurement value Based on an error with the CLV target value changed between the maximum and the minimum which were set up based on the frequency of an EFM signal it is made to perform CLV control. Thereby in this embodiment it can shift to the usual CLV control from a CLV drawing-in servo according to very simple circuit structure without providing a rough servo circuit system separately like before. There is no necessity of switching a circuit system like before by rough servo control access control and the CLV control at the time of ordinary reproduction and so stable CLV servo control is also realized from always performing CLV control according to one circuit system.

[0080] For example by the former the measurement cycle of CLV speed is set to 9 ms as mentioned above by this embodiment to being about 136 microseconds and in this case since it turns into about 64-time long cycle it becomes possible to also make disorder of the signal at the time of 1 sample lack into 1/64. It changes from the state where the CLV target value was made variable and since the CLV target value which suits normal operation mode will be set up a CLV target value can be eventually determined as one though it is variable. Therefore even when it has composition which performs gear change reproduction for example it is possible to correspond easily by the PLL/CLV servo circuit of this embodiment.

[0081] In this embodiment based on the edge number of an EFM signal since the measurement value of CLV speed is that the system controller 14 supervises this measurement value It is supposed that it is possible to constitute so that these signs may be detected in the stage before a reckless run and inversion of a disk occur and it is supposed that it is possible to control by the former to prevent beforehand the error condition by a reckless run an inversion etc. of the above-mentioned disk which were made difficult. For example when the error over the CLV target value of the CLV speed value measured at the CLV speed counter 33

exceeds the predetermined range (for example\*\*50%)Kick control of a spindle motor is performed with the kick level set up beforehandIt stands by becoming within the limits (for exampleless than \*\*30%) with the error over the CLV target value of the above-mentioned CLV speed valueand if it is detected that the error fell within the range of thisthe control for returning to regular reproduction will be made to be performed.

[0082]The composition for changing a CLV target value in time with (the CLV target variable setting-operation by 2-d. software) at the time of the CLV scan mode in a normal modeIt replaces with the CLV target variable setting circuit 35A as hardware as shown in drawing 3and it is also made possible to realize with software as what is depended on control of the system controller 14. In this casewhat is necessary will be to omit the CLV target variable setting circuit 35Aand just to constitute for example so that the CLV target value generated by the system controller 14 may be inputted into the subtractor 34.

[0083]Thenthe composition in the case of changing a CLV target value with software is explained with reference to the flow chart of drawing 4 and drawing 5 as operation at the time of the CLV scan mode in a normal mode. As for the processing operation shown in these figures the system controller 14 shall be performed. Suppose subsequent processing operation that the case where rotation start of the spindle motor 2 is carried out is mentioned as an example as a situation for shifting to CLV scan mode.

[0084]For examplewhen it detects that operation for playback of a disk was performed in the final controlling element 15 from the halt conditionthe system controller 14After shifting to Step S100 shown in drawing 4 and resetting the time measurement value TIME of an internal timer to zerocontrol for carrying out predetermined time impression of the kick voltage of the predetermined level for making the spindle motor 2 rotate compulsorily in continuing Step S101 is performed. That isoperation called what is called spindle kick will be performedand the spindle motor 2 will start rotation by this. After execution of the spindle kick by predetermined time is endeda waiting period until CLV control is applied has the spindle motor 2 in the state where inertial rotation is performedfor example.

[0085]After processing of Step S101 is completedthe command for considering a focus servo as one in Step S102 is outputted. This will perform focusing control until it shifts to focus servo loop control from focusing search control in the focus servo circuit system which is provided with the optical system servo circuit 12 (refer to drawing 1)and is formed. Under this statein the system controller 14. It is distinguishing whether it changed into the state where focus servo control was properly performed in Step S103and if having changed into the state where servo control by the closed focus servo loop was performed is distinguishedit will progress to Step S104. In Step S104the command for considering a tracking servo as one is outputted. This will start tracking servo control in the tracking servo circuit system in the optical system servo circuit 12. By thisthe state which the signal recorded on the disk 1 by the optical head 3 can read will be acquired.

[0086]In Step S105it is in the state which is outputting lock signal S-LOCK as an

H level or it is distinguished whether it is in the state (state where detection possible [ of the sync frame ] is properly carried out from an EFM signal) where the PLL circuit locked. If locked by the PLL circuit in the processing stage so far as drawing 2 explained (when it was lock signal S-LOCK=L) the PLL circuit system 25B It shall be in the state where the circuit form is formed so that automatic regulation operation of the VCO center frequency using the circuit system of the FCO counter 45 may be performed.

[0087] In Step S105 the revolving speed of the spindle motor 2 rotated by previous spindle kick processing (S101) is in the appropriate range corresponding to the capture range of a PLL circuit. If it is in the state where the PLL circuit already locked and it is distinguished that it is lock signal S-LOCK=Hit progresses to Step S111 and the time measurement value TIME will be reset to '0' and it will progress to Step S112. In Step S112 control management for the reproduction motion according to the normal operation mode in the basis in the state where the PLL circuit locks is performed and the state of a PLL circuit is supervised by returning to Step S105 for every predetermined time. The discrimination processing of the locked position of the PLL circuit in Step S105 and Step S202 mentioned later. As mentioned above it is possible also by detecting the state of signal GFS inputted for example from the synchronization detecting circuit 26 from generating lock signal S-LOCK according to signal GFS. Therefore as long as the PLL circuit locks it will not be concerned with whether it is the present normal mode or it is a wide mode by the loop processing of step S111 → S112 → S105 but the normal operation mode according to these reproduction modes will be continued. If error conditions such as signal lack occurred servo omission and over a long period of time and the lock separated by a certain disturbance in the middle of reproduction it will be made to progress to S106 from Step S105.

[0088] When the PLL circuit did not lock and it is distinguished in Step S105 Although it will stand by that a PLL circuit returns to a locked position in the state of this as and only predetermined time shifts to normal operation mode by processing by step S106 → S107 → S105 being performed. In the state which a PLL circuit does not lock and cannot be shifted to normal operation mode even if the revolving speed of the spindle motor 2 still carries out predetermined time standby by unsuitable positive. It progresses to Step S108 from Step S107 and it is distinguished now as reproduction mode of the CD player concerned whether which mode of a normal mode and a wide mode is set up. This mode setting shall be in the state where one of the modes is already chosen by the operation to a user's final controlling element 15.

[0089] In Step S108 when it is distinguished that it is a normal mode it shifts to the processing as CLV scan mode corresponding to the normal mode as Step S109. It seems that drawing 5 explains the manipulation routine as this step S109 below. When it is distinguished that it is a wide mode it shifts to the processing for the CLV scan mode in the wide mode of Step S110 but the manipulation routine as Step S110 is mentioned later.

[0090] In the routine shown in drawing 5 operation replaced with the CLV target

variable setting circuit 35A previously shown in drawing 3 is performed by the system controller 14. Hereto the system controller 14 the information on the maximum (900K) of a CLV target value and the minimum (750K) shall be set at least.

[0091] In the step S202 after setting as the maximum the CLV target value (shown in the figure as CLVTG) which should be inputted into the subtractor 34 in Step S201 as processing shown in drawing 5 first It is made to distinguish whether the PLL circuit locks.

[0092] If it was distinguished when the PLL circuit locked in Step S202 It progresses to Step S210 and it is made to progress to Step S105 shown in drawing 4 after suspending the count operation for it and holding the last CLV target value if variable control of the CLV target value was carried out until now. As long as it is in the state where the PLL circuit locked by this it becomes normal operation mode by the loop processing of step S111 → S112 → S105. On the other hand if it was distinguished when the PLL circuit did not lock in Step S202 it will progress to Step S203 and distinction will be performed about whether count mode of the CLV target value is made into the present rise count mode. When it has shifted to Step S203 through processing of step S201 → S202 down counting mode shall be set up. When it is distinguished that it is in rise count mode in Step S203 about a CLV target value 1 step increment is carried out and it is made to progress to Step S204 and to progress to Step S206. When it is distinguished that it is in down counting mode in Step S205 1 step decrement will be carried out and it will progress to Step S206.

[0093] When distinction is performed about whether the present CLV target value is made into the maximum in Step S206 and the CLV target value is made into the maximum It progresses to Step S207 count mode is switched to down counting mode and it can be made to return to Step S202. On the other hand when the CLV target value had not resulted in the maximum and it is distinguished it progresses to Step S208 and distinction is performed about whether the CLV target value resulted in the minimum. And when a CLV target value is distinguished as having resulted in the minimum after a change is performed in rise count mode by progressing to Step S209 it can be made to return to Step S202. If the negative result was obtained in Step S208 it can be made to return to Step S202 where old count mode is maintained. By operation explained until now being performed operation equivalent to the CLV target variable setting circuit 35A explained by drawing 3 will be performed as processing of the system controller 14.

[0094] In the above-mentioned processing operation the change in rise count mode and down counting mode is able to be made to be performed based on the measuring result of EFM pit length according to the composition as hardware explained by drawing 3.

[0095] (Operation at the time of a 2-e. wide mode) then the operation at the time of the mode for \*\* of PLL servo circuit 25 (at the time of a wide mode) are explained. Read-out of the signal from a disk and signal processing in the digital disposal circuit 7 in the time of the mode for \*\* fundamentally [ rate / more nearly high-

speed than  $1X$  / specific / data transfer rate ] And the data of RAM9 is written in data is stored in RAM9 and read-out of the data from RAM9 obtains opposite \*\*\*\*\* by making it output so that regenerative data may not be disrupted by [ corresponding to  $1X$  ] usually reading at a rate. And in this embodiment in order to strengthen opposite \*\*\*\*\* further as it explains below operation as a "wide mode" is performed as operation of PLL servo circuit 25 so that expansion of the capture range and lock range of a PLL circuit may be achieved.

[0096] In this case about lead frame clock signal RFCK it becomes the signalling frequency expressed by  $RFCK = n \times RFCK$  corresponding to being considered as  $n$  double speed ( $n > 1$ ) with CLV speed. Corresponding to this the oscillating frequency of VCO44 shall also have one  $n$  times the frequency of this to the time of a normal mode therefore the frequency of the signal PLCK at the time of a wide mode will also be expressed by  $PLCK = n \times PLCK$ .

[0097] As a change state of each switch at the time of a wide mode switch SW2 is switched to the terminal T-W side by mode switching signal S-NW corresponding to a wide mode. By this to the subtractor 46 of the PLL circuit system 25B the output of the PLL target variable circuit 39 will be inputted. That is in the automatic regulation circuit system of the center frequency of VCO44 in the PLL circuit system 25B the information on the EFM signal frequency measured by the CLV speed counter 33 will be supplied to the subtractor 46 as a PLL target value.

[0098] It is controlled by switch SW5 to become one by mode switching signal S-NW corresponding to a wide mode and changes the output of PCI circuit 50 into the state which can be supplied to terminal T-L of switch SW3. About the change state of switch SW1 controlled by lock signal S-LOCK and SW4 it becomes being the same as that of the time of a normal mode.

[0099] It is made to output the CLV target value by a predetermined fixed value from the CLV target setting circuit 35 to the subtractor 34 in the CLV servo circuit system 25A in the time of a wide mode. That is even if it is at the CLV scan operation time mentioned later variable control of the CLV target value is not carried out like [ at the time of a normal mode ]. At the time of a wide mode this will control the revolving speed of the spindle motor 2 by the CLV servo circuit system 25A so that the convergence state whose CLV speed information outputted from the CLV speed counter 33 corresponds with the CLV target value as the above-mentioned fixed value is acquired. It is in the state where error signal CLV-P is inputted to the extent that it is based on the fixed value as '0' to the adding machine 36 in the state where it is assumed that the PLL circuit does not lock at the time of a wide mode.

[0100] The CLV scan operation (it is operation for making a PLL circuit lock) of the CLV servo circuit system 25A at the time of a wide mode is explained on the assumption that the above circuit forms are formed in the PLL/CLV servo circuit 25.

[0101] When it is assumed that the revolving speed of a disk has not reached here the fixed value set up in the CLV target setting circuit 35 as a state which the PLL circuit does not lock for example in the PLL circuit system 25B automatic

regulation operation of the center frequency controlled so that it is completed as center frequency by VCO44 only by the loop to which frequency error signal S-FC by the side of the FCO counter 45 returns is performed.

[0102] However in a wide mode the PLL target value in comparison with the output of the FCO counter 45 serves as an output from the PLL target variable circuit 39 in the subtractor 46 as mentioned above. The PLL target variable circuit 39 inputs the EFM-signal-frequency value of the CLV speed counter 33 and it is made for the output of the FCO counter 45 to have variable performed for example with the cycle of RFCK/64 according to the ratio of target predetermined desired value and CLV target value at this time. The variable operations of this PLL target value are mentioned later.

[0103] As mentioned above the PLL target value which serves as a target to the frequency measurement value of the FCO counter 45 is made into the frequency value based on the present EFM-signal-frequency value. By controlling the oscillating frequency of VCO44 by frequency error signal S-FC generated based on this PLL target value, VCO44 is converged so that it may fix with the lowest frequency determined as the VCO frequency which can be locked in the present EFM-signal-frequency value or D/A converter 49 with the characteristic of adding machine 43 and VCO44. On the other hand in the CLV servo circuit system 25A as mentioned above operation which controls the revolving speed of the spindle motor 2 for the purpose of the CLV target value by a fixed value is carried out. At this time it is standing by that perform automatic regulation operation of the center frequency of the above-mentioned VCO and the revolving speed of the spindle motor 2 rises for a PLL circuit to even lock (that is the present EFM signal frequency is in agreement with a PLCK cycle) by the PLL circuit system 25B.

[0104] The operating state at the time of the above-mentioned unlocking can be regarded as the state where it is controlled for example to the present disk rotational speed so that the oscillating frequency of VCO44 approaches. For this reason when the frequency variable range of the signalling frequency PLCK acquired by carrying out  $1/2$  dividing of the oscillating frequency of VCO44 for example assumes that they are 2 MHz – 30 MHz in this embodiment. When 2 MHz which is lowest frequency as the signal PLCK is obtained a PLL circuit locks and reading of a signal becomes possible. That is flattery by a PLL circuit is attained from the drawing-in stage of a CLV servo. For example supposing reproduction motion by 2X was performed as the former since a PLL circuit locked for the first time by 4.3218 MHz  $\times 2$  the signal PLCK had taken the time for about 4 seconds for signal reading to become possible for example from the rotation start of the spindle motor 2. On the other hand at this embodiment reading of a signal becomes possible in about 1 second. For example in the time of a track jump etc. also when carrying out relock of the PLL circuit it becomes possible to make it converge by the above-mentioned CLV scan operation being performed so that a disk speed may be made to follow with speed of about 100 times over the past. Only the revolving speed of the spindle motor 2 conventionally this to having been a variable control element by the PLL target value being considered as immobilization in this



embodiment. It depends on being controlled by operation of a center frequency automatic regulation system of a PLL circuit so that the oscillating frequency of VCO44 follows the speed of the present spindle motor 2 corresponding to EFM signal frequency.

[0105] Sync frame is properly detected [ in / in accordance with a PLCK cycle / in EFM signal frequency / the synchronization detecting circuit 26 ] from the state which the PLL circuit does not lock as mentioned above. If it is having changed in the state it being supposed that the PLL circuit's locked lock signal S-LOCK outputted from the system controller 14 will be outputted by H level.

[0106] By this a change will be performed to terminal T-L from terminal T-UL switch SW3. Switch SW4 will be considered as one. Switch SW1 is immobilization in terminal T-UL (fixed value '0' side) at the time of a wide mode. For this reason about CLV control of the spindle motor 2 in a CLV servo circuit system it will continue from the time of unlocking and will be carried out based on speed-error signal CLV-S.

[0107] In the PLL circuit system 25B the signal outputted to the integration circuit 48 via switch SW3 will be switched to the wide locking-circuit system by the side of [ the FCO counter 45 side to ] PCI circuit 50. Error control signal S-E obtained based on the detect output of the analog PCO circuit 41 will be supplied to the adding machine 43 via switch SW4. After the PLL circuit has locked phase error signal S-PC produced by integrating with the detect output of the phase error low-pass ingredient of PCI circuit 50 by the integration circuit 48 is equivalent to the frequency error information of the EFM signal over the signalling frequency PLCK. For this reason when the output of switch SW3 changes to the system by the side of [ the FCO counter 45 side to ] PCI circuit 50. The state of operating as phase error signal S-PC inherits the last value of frequency error signal S-FC supplied from the FCO counter 45 side until now will be acquired.

[0108] By the above-mentioned operation the PLL circuit locks and henceforth phase error signal S-PC obtained via D/A converter 49 based on the output of a wide locking-circuit system by the side of PCI circuit 50. The oscillating frequency of VCO44 will be controlled by the pressure value which compounded error control signal S-E which is a detect output of the analog PCO circuit 41 with the adding machine 43. At this time phase error signal S-PC (output of D/A converter 49) obtained based on the output of PCI circuit 50. It is considered as the phase low-pass ingredient which has the operation which determines the center frequency of VCO44 as follows EFM signal frequency and on the other hand the detect output (phase comparison result) of the analog PCO circuit 41 which becomes the origin of error control signal S-E serves as a phase high-frequency component. Therefore the element which determines a lock range and a capture range in the PLL circuit system 25B at this time. It becomes only the characteristic of D/A converter 49 and the adding machine 43 and a frequency variable range of VCO44 and it becomes possible to expand a lock range and a capture range even within limits restricted with the above-mentioned determinant as a result.

[0109] Here the operation at the time of the wide mode of the PLL/CLV servo circuit 25 explained to drawing 7 until now. The relation between a CLV control signal (drive output supplied to Motor Driver from the CLV servo circuit system 25A) frequency error signal S-FC / phase error signal S-PC and lock signal S-LOCK shows. For example, suppose that the operation for carrying out rotation start of the spindle motor 2 in the time  $t_0$  was started. Since the PLL circuit is not locked at this time as shown in drawing 7 (c), let lock signal S-LOCK be L level. In this state, VCO oscillation frequency will be controlled by the system by the side of the FCO counter 45 operating by the PLL circuit system 25A by frequency error signal S-FC shown for example in drawing 7 (b). moreover -- this initial stage -- coming out -- since the revolving speed of the spindle motor 2 is fairly separated to the CLV target value, it supplies the CLV control signal of a comparatively big level like drawing 7 (a) and has disk rotational speed at high speed. a time --  $t$  -- zero -- henceforth -- previously -- having explained -- CLV -- a scan -- the mode -- \*\*\*\*\* -- operation -- carrying out -- having -- a PLL circuit -- having locked -- carrying out -- having -- a state -- becoming -- if -- drawing 7 -- ( -- c -- ) -- being shown -- a lock signal -- S-LOCK -- H -- a level -- changing . As mentioned above by the PLL circuit system 25A, this operates so that the system by the side of PCI circuit 50 may change from a state with an effective system by the side of the FCO counter 45 to an effective state. And as shown in drawing 7 (b) at this time as the last value of frequency error signal S-FC is inherited as a signal inputted into the adding machine 43, it changes to phase error signal S-PC. As in agreement with the CLV target value of the CLV servo circuit system 25A, CLV control is performed henceforth so that the level transition of the CLV control signal of drawing 7 (a) and phase error signal S-PC of drawing 7 (b) may show and. Maintaining the state where it was locked, it will be controlled by the PLL circuit system 25B so that the oscillating frequency of VCO44 turns into center frequency of a stationary state.

[0110] For example, when the operation as a wide mode of the PLL circuit system 25B which is not equipped with the wide lock system by PCI circuit 50 of this embodiment is considered, a drawing-in control action expansion of a capture range is realized by the operation mentioned above by being carried out based on frequency error signal S-FC obtained by the system by the side of the FCO counter 45. However, from the output (S-E) of the analog PCO circuit 41 differing in a phase from the detect output (S-PC) by the side of the FCO counter 45. When it does not have PCI circuit 50 after the PLL circuit has locked, the last value at the time of a PLL circuit locking about frequency error signal S-FC which is a detect output by the side of the FCO counter 45 is held. Only the method of adding as an offset ingredient to error control signal S-E of the analog PCO circuit 41 could not take frequency error signal S-FC as this retention value. Since it was not what frequency error signal S-FC at this time serves as a fixed value, follows in footsteps of EFM signal frequency and changes expansion of the lock range was difficult. On the other hand, in this embodiment, it becomes possible to carry out variable control of the center frequency of VCO44 as EFM signal frequency is

followed by adding the output obtained by operation of PCI circuit 50 to the output of the analog PCO circuit 41 as mentioned above.

[0111]Then the variable control processing of a PLL target value to the PLL target variable circuit 39 is mainly explained with reference to drawing 4 and drawing 6 as processing operation of the system controller 14 at the time of the above-mentioned wide mode. At the time of a wide mode processing to Steps S100–S108 is performed as processing operation shown in drawing 4 for example as processing after the time of the rotation start of the spindle motor 2 or immediately after the lock of a PLL circuit separates by servo omission the dropout of a signal etc. Since the processing operation shown in drawing 4 was already explained as operation at the time of a normal mode it omits explanation here. However since the CLV target value is immobilization at the time of a wide mode a CLV servo circuit system shall be in the state where CLV control is performed so that it may converge to this CLV target value.

[0112]In Step S108 in drawing 4 when it is distinguished now that it is a wide mode it will progress to Step S110 and processing as CLV scan mode in a wide mode will be performed. The CLV scanning and processing as this step S110 are shown in the manipulation routine of drawing 6. As it explains henceforth the PLL target value which should be outputted from the PLL target variable circuit 39 is changed because the system controller 14 outputs control signal SC2 and controls the PLL target variable circuit 39 by this manipulation routine.

[0113]As processing in the CLV scan mode shown in drawing 6 the PLL target value (shown in the figure as PLLTG) outputted from the PLL target variable circuit 39 is first set as the maximum in Step S301. The maximum of the above-mentioned PLL target value will be set up by setting up the maximum about the coefficient  $k$  which performs multiplication to this value SDT if the output value of the CLV speed counter 33 inputted into the PLL target variable circuit 39 for example is set to SDT. The value corresponding to  $900k$  which is the maximum of the variable range of the CLV target value which the maximum of this PLL target value mentioned above is set up.  $750k$  whose minimum of a PLL target value is the minimum of the variable range of a CLV target value similarly is set up.

[0114]Then the system controller 14 distinguishes whether the PLL circuit locks in Step S302. If it was distinguished when the PLL circuit locked in the above-mentioned step S302 it will progress to Step S105 of drawing 4. As long as it is in the state where the PLL circuit locked by this normal operation mode is performed by the loop processing of step S111 → S112 → S105. Since it was a wide mode in this case when it shifts to Step S105 in the PLL circuit system 25 Bit is as having mentioned above that a change is performed in the wide lock time system of PCI circuit 50 from the near system of the FCO counter 45.

[0115]When the PLL circuit did not lock in Step S302 and it is distinguished it progresses to Step S303 and distinction is performed about whether count mode of the PLL target value is made into the present rise count mode. However down counting mode shall be set up in the initial stage which has shifted to Step S303 through processing of step S301 → S302. In Step S303 when it is distinguished that

it is in rise count mode it progresses to Step S304 and rise count operation is performed. In Step S304 this rise count operation carries out increment for one step [ by / a predetermined value ] about the coefficient k used for a PLL target value variable operation first for example as shown in a figure. And in the following step S306 multiplication is performed to output-value SDT of the CLV speed counter 33 using the coefficient k obtained at Step S305. That is a rise count is performed by performing processing which updates a PLL target value by  $PLL_{TG} = SDT \times k$ . Between the maximum - the minimum which are set up corresponding to 750K-900K which are the variable ranges of the CLV target value which the PLL target value explained previously as count operation at this time Increase and decrease should just be performed for every proper step value and it is not limited to the processing operation of above-mentioned step S304→S306 or step S305 →S306 explained below. For example it is also considered that it is made to perform a load operation with each coefficient for the rise count appropriately set up to the present PLL target value and down counting whenever it performs count processing.

[0116] When it is distinguished in Step S303 that it is in down counting mode In Step S305 the decrement for one step by a predetermined value is carried out about the coefficient k it progresses to Step S306 and down counting is carried out about a PLL target value by carrying out the multiplication of output-value SDT of the CLV speed counter 33 with this coefficient k.

[0117] In Step S307 when distinction is performed about whether the present PLL target value is made into the maximum and the PLL target value is made into the maximum it progresses to Step S307 count mode is switched to down counting mode and it returns to Step S302. On the other hand when the PLL target value had not resulted in the maximum and it is distinguished it progresses to Step S308 and it is distinguished whether the PLL target value resulted in the minimum. When a PLL target value is distinguished as having resulted in the minimum a change is performed in rise count mode and it can be made to return to Step S302 by progressing to Step S309 here. If a negative result is obtained in Step S308 it can be made to return to Step S302 where old count mode is maintained. Thus in the CLV scan mode in a wide mode. It makes it possible for VCO44 to make it change at high speed to output-value SDT of the CLV speed counter 33 according to the state which can be locked with it having been made to scan by changing a PLL target value to a CLV target value being fixed for example.

[0118] Also in this case like the time of the sweep of a CLV target value explained previously a change with the rise count mode and down counting mode to the coefficient k can be constituted so that it may be carried out based on the measuring result of EFM pit length.

[0119] With having carried out like old explanation and having constituted so that the lock range and capture range range of a PLL circuit at the time of a wide mode might be expanded. As opposed to the anti-shock resistance to rotation disturbance having been \*\*four frames in the conventional system When the CD player as this embodiment uses 4 M bytes of DRAM as RAM9 as a buffer

memory unless it becomes a 35000 EFM frame at the time of a wide mode and the lock of a PLL circuit separates it will have one 9000 times the intensity of this to the former. And the limit from which the lock of a PLL circuit separates becomes possible [ a 7-MHz grade lock range being obtained therefore dealing with one 7 times the disturbance intensity of this to the former ] by this embodiment to having been an about 1-MHz lock range conventionally. In this embodiment the processing in the digital disposal circuit 7 is using as the clock signalling frequency based on the signal PLCK which carried out 1 / 2 dividing of the oscillating frequency of VCO44. From this not only the EFM decode circuit 22 but the error correction / DEINTERLEAVE processing circuit 23 will operate with the signal PLCK. Time-axis amendment of data is performed by the writing and reading control to RAM9 of the memory controller 8. For this reason the frame jitter margin at the time of an error correction becomes unnecessary. It also becomes possible to design a PLL/CLV servo circuit without taking a frame jitter margin into consideration though this depends on the minimum system configuration required for example with RAM24 by about [ 16K bit ] capacity. That is it is possible to set conventionally the CLV servo band needed about 20 Hz as about 1 Hz and the power consumption in a CLV servo circuit system can be reduced so much.

[0120] Explained on the assumption that (2-f. adjustable-speed reproduction motion) and the CLV target value outputted from the CLV target setting circuit 35 by old explanation in time at the time of a wide mode were made into the fixed value corresponding to a necessary CLV speed but. At this embodiment the PLL circuit system 25B becomes possible [ performing what is called adjustable-speed reproduction ] by changing the CLV target value outputted from the CLV target setting circuit 35 by the origin in the state where operation as a time of the wide mode mentioned above is performed. That is it is a basis in the state (locked state) where the lock range is expanded by the operation as a wide mode explained previously as the PLL circuit system 25B and the CLV target value of the CLV target setting circuit 35 is changed into the value corresponding to a necessary CLV speed.

[0121] As mentioned above the lock range obtained by operation of the wide mode of this embodiment Since within the limits according to the characteristic of D/A converter 49 and the adding machine 43 and the frequency variable range of VCO44 is guaranteed If the PLL circuit system 25B is in the state where the wide lock was formed by the operation as a wide mode Even if it carries out change setting out the CLV target value of the CLV target setting circuit 35 the CLV servo circuit system 25A While converging so that the CLV speed corresponding to a CLV target value to have been changed may be obtained the state where the PLL circuit system 25B locked is maintained and can acquire the state in which signal reading is possible. That is reproduction speed can be changed without suspending this read operation during signal read-out. However if a large variable step amount until it has a CLV target value in the target value is taken the lock of the PLL circuit system 25B will separate because this exceeds the lock range of

the analog PCO circuit 41. For this reason a lock separates from the variable step amount of a CLV target value and it is twisted is made like and needs to be set up. In the case of this embodiment 25% of the maximum step size was obtained theoretically but the result that what is necessary was just to consider it as 2 or less % per step was obtained practically. The variable time interval of a step should just be set up in consideration of keeping signal GFS inputted from the synchronization detecting circuit 26 from the slew rate of the disk-rotational-speed control in the CLV servo circuit system 25A falling etc.

[0122] For example in the case of CD a pitch (pitch) and reproduction speed were changed only for the rate that the audio reproduction signal acquired by adjustable-speed playback was changed to reference speed. Therefore for example the regenerative signal acquired by adjustable-speed reproduction is applicable to what is called Quito lance pause functions such as karaoke. However when using for the Quito lance pause function of karaoke about reproduction speed the reproduction speed corresponding to reference speed reproduction is required but. What is necessary is for the art of returning reproduction speed to the speed corresponding to reference speed after a pitch maintains what was obtained by adjustable-speed reproduction to be previously proposed [ various ] by these people for example and to choose a suitable thing and just to adopt it from the inside of such art.

[0123] The composition which realizes operation at the time of the wide mode explained as the above-mentioned embodiment is applicable also in the playback equipment in which a wide mode in particular is not set up for example if considered as double-speed reproduction correspondence. Although the CD player was mentioned as the example as playback equipment as the above-mentioned embodiment for example it can apply also to the playback equipment corresponding to other disk media which perform disk rotation control by CLV and record data is not what is limited to an EFM signal in this case Even if considered as the run length Limited numerals by other methods as a matter of course this invention is applied effectively.

[0124]

[Effect of the Invention] As explained above according to this invention the capture range and lock range of a PLL circuit as operation of a wide mode made wide The frequency of VCO measured by the clock frequency measurement means based on the reference signal at the time of servo drawing in It switches so that the error information of the present EFM signal frequency may be inputted into an integration circuit and the phase error low-pass information on the clock and run length Limited code which were detected by the phase difference detecting means at the time of a lock may be inputted into an integration circuit He is trying to control the oscillating frequency of VCO by the output adding the output and phase control circuit of the above-mentioned integration circuit. Thereby at the time of servo drawing in based on the error information of EFM signal frequency the PLL circuit operates so that the frequency of the EFM signal corresponding to disk rotational speed may be followed by control based on phase error low-pass

information at the time of a lock. As a result a actual capture range and lock range will be expanded by the time it is restricted by only the oscillation frequency range of VCO. Therefore in this invention powerful wide capture and wide lock function will be given and opposite \*\*\*\*\* which makes rotation disturbance of a disk etc. a factor so much will improve and when it applies to portable playback equipment it becomes useful especially.

[0125] It is in charge of realizing the above-mentioned wide capture and a wide lock function for example like before two PLL circuits will not be needed but a PLL circuit system can be managed with one line and reduction of circuit structure and reduction of cost will be achieved so much. Although the CLV speed information acquired based on EFM signal frequency as target frequency for acquiring the error information of the frequency of VCO at the time of servo drawing in is used by control for drawing so that a PLL circuit may lock CLV speed based on this CLV speed information being performed. For example since drawing-in control of CLV speed will be performed by the control value of high resolution as compared with the conventional rough servo circuit system it is also so much expectable [ stable operation of a PLL circuit ].

[0126] According to how to draw the PLL circuit as this invention at the time of a normal mode. Control so that the oscillating frequency of VCO by the side of a PLL circuit is fixed with predetermined center frequency and in a CLV servo system. The frequency desired value for error detection of CLV speed (EFM signal frequency) by trying to change within the limits of the maximum and the minimum which were set up based on the average value of the number of times of reversal of the code sequence generated for every cycle of the frame unit of an EFM signal. With omitting a rough servo circuit system like before also as drawing-in control at the time of a normal mode drawing by one CLV servo circuit system and constituting so that the taking over to control and the usual CLV control may be possible it is possible to attain simplification of a circuit system and it is making. After considering the above-mentioned frequency desired value of a CLV servo circuit system as immobilization in the time of a wide mode it is made to be obtained by controlling to change in the variable range where the oscillating frequency of VCO was set up corresponding to the maximum and the minimum of the above-mentioned EFM signal frequency in for example more quick drawing-in operation.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram showing the example of composition of the playback equipment as an embodiment of the invention.

[Drawing 2] It is a block diagram showing the example of composition of a PLL/CLV servo circuit system.

[Drawing 3] It is a block diagram showing the example of composition of a CLV

target variable setting circuit.

[Drawing 4] It is a flow chart which shows the processing operation of the system controller accompanying CLV control.

[Drawing 5] It is a flow chart which shows the processing operation at the time of a normal mode as processing operation of the system controller accompanying CLV control.

[Drawing 6] It is a flow chart which shows the processing operation at the time of a wide mode as processing operation of the system controller accompanying CLV control.

[Drawing 7] It is an explanatory view showing transition of the CLV control action at the time of a wide mode.

[Drawing 8] It is an explanatory view showing the frame structure of an EFM signal.

[Drawing 9] It is an explanatory view showing an EFM word.

[Drawing 10] It is an explanatory view showing an EFM word.

[Drawing 11] It is an explanatory view showing an EFM word.

[Drawing 12] It is an explanatory view showing an EFM word.

[Drawing 13] It is a block diagram showing the example of composition of a CLV servo control circuit system as a conventional example.

[Drawing 14] It is a block diagram showing the composition of the PLL circuit which has a wide capture function as a conventional example.

[Description of Notations]

1 A disk and 2 A spindle motor 3a object lens and 3b Detector 3c A laser diode and 3d An optical system 3 optical heads 4 2 axis mechanism 5 thread mechanisms 6 RF amplifiers and 7 A digital disposal circuit 8 memory controllers 9 RAM (buffer memory) 10 D/A converters and 11 Audio output terminal 12 An optical system servo circuit and 13 Motor Driver and 14 System controller 15 A final controlling element 20 binarization circuits and 21 A register 22 EFM decode circuit 23 An error correction / DEINTA reeve processing circuit 25A CLV servo circuit system 25B A PLL circuit system 25 PLL/CLV servo circuit and 26 Synchronization detecting circuit 30 A counting-down circuit and 31 A crystal oscillator and 32 A counting-down circuit 33 CLV speed counter 34 A subtractor and 35A A target variable setting circuit 35 CLV target setting circuit 36 An adding machine and 37 A low boost circuit 38 D/A converters 39 PLL target variable circuit 40 A target fixed value register and 41 [ A subtractor and 47 / Amplifier and 48 / Integration circuit ] An analog PCO circuit and 42 A filter and 43 An adding machine 44 VCO 45 FCO counter and 46 49 A D/A converter 50 PCI circuits and 51 Amplifier 60 counter sections 61 A selector 62 minimum value registers and 63 [ Switch ] A maximum register 64 sets / reset part and 65 A maximum primary detecting element and 66 A minimum primary detecting element 67 edge detection circuits 68 OR gates SW1 SW2 SW3 SW4 and SW5

---



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-149704

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

G 1 1 B 19/28

G 1 1 B 19/28

B

H 0 3 L 7/08

H 0 3 L 7/08

Z

審査請求 未請求 請求項の数10 O L (全 32 頁)

(21) 出願番号 特願平9-318491

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(22) 出願日 平成 9 年 (1997) 11 月 19 日

(72) 発明者 中沢 徹二

東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

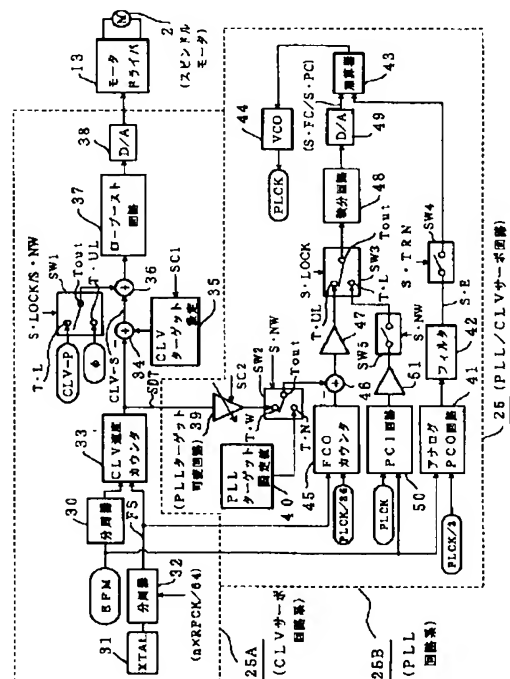
(74) 代理人 弁理士 脇 篤夫 (外 1 名)

(54) 【発明の名称】 フェーズロックドループ回路、再生装置、及びフェーズロックドループ回路の引き込み制御方法

(57) 【要約】

【課題】 簡略な構成によっても、ワイドキャプチャー、ワイドロックが可能な C L V サーボ制御系と P L L 回路を得る。

【解決手段】 ワイドモードにおいては、サーボ引き込み時には、F C O カウンタ 4 5 の出力と C L V 速度カウンタ 3 3 の計測値 (E F M 周波数) との誤差情報を積分回路 4 8、D/A コンバータ 4 9、加算器 4 3 を介して V C O 4 4 の誤差制御信号として入力する。P L L 回路がロックしたとされると、積分回路 4 8 への入力が P C I 回路 5 0 による P L C K と E F M 信号の位相誤差の低域成分に切り替わるようにされる。これにより、サーボ引き込み時と P L L 回路のロック時とで、V C O の発振周波数がディスク回転速度に対応する E F M 信号周波数に追従するよう動作させ、キャプチャーレンジとロックレンジのワイド化を図るようにされる。



**【特許請求の範囲】**

【請求項 1】 ディスク状記録媒体から再生されたランレングスリミテッド符号を抽出する符号抽出手段と、所定の周波数による基準信号を発生する基準信号発生手段と、

上記基準信号発生手段により発生された基準信号に基づいて、電圧制御発振手段の発振出力に基づいて得られるクロックの周波数を計測するクロック周波数計測手段と、

上記クロック周波数計測手段により計測されたランレングスリミテッド符号の周波数と目標値とを比較して、その差分情報を算出する周波数差演算手段と、

上記符号抽出手段から抽出したランレングスリミテッド符号の周波数を上記基準信号発生手段により発生された基準信号に基づいて計測し、計測した周波数情報を上記周波数差演算手段における目標値として出力することのできる目標周波数計測手段と、

上記符号抽出手段から抽出したランレングスリミテッド符号に対する上記クロックの位相誤差低域情報を出力する位相差検出手段と、

入力された上記周波数差演算手段の差分情報、及び上記位相差検出手段の位相誤差低域情報について、何れか一方を択一的に選択して出力する情報選択手段と、

上記情報選択手段から出力された差分情報又は位相誤差低域情報について積分を行う積分手段と、

上記符号抽出手段から抽出したランレングスリミテッド符号と上記クロックに基づく周波数信号とについて位相比較を行い、位相比較情報としての信号を出力するように動作する位相比較手段と、

上記積分手段の出力と上記位相比較手段の出力を加算して上記電圧制御発振手段に対して発振制御信号として出力する加算手段と、

当該フェーズロックドループ回路がロックしているか否かを判別するロック判別手段と、

上記ロック判別手段により、当該フェーズロックドループ回路がロックしていないと判別された場合には、上記情報選択手段により上記周波数差演算手段の差分情報が選択されるように制御し、当該フェーズロックドループ回路がロックしていると判別された場合には、上記情報選択手段により上記位相差検出手段の位相誤差低域情報が選択されるように制御する切換制御手段と、を備えていることを特徴とするフェーズロックドループ回路。

【請求項 2】 上記ランレングスリミテッド符号のフレーム単位の周期ごとに発生する符号列の反転回数の平均値に基づいて設定したランレングスリミテッド符号の下限周波数と上限周波数の値が保持される周波数保持手段と、上記ランレングスリミテッド符号の下限周波数と上限周波数の範囲に対応して利得の可変範囲が設定される利得

可変手段と、

上記利得可変手段により与えられる利得に基づいて、上記目標周波数計測手段から出力される目標値を可変する可変制御手段と、

が備えられることを特徴とする請求項 1 に記載のフェーズロックドループ回路。

【請求項 3】 当該フェーズロックドループ回路のキャプチャレンジ及びロックレンジを通常よりも拡大させるように動作するワイドモードと、当該フェーズロックドループ回路の通常のキャプチャレンジ及びロックレンジに基づく動作を行わせるノーマルモードとのモード切り換えが可能とされたうえで、

上記目標値として、上記電圧制御発振手段の中心周波数に対応して設定された所要の固定値を発生して出力させる固定目標値発生手段と、

上記目標周波数計測手段から出力される目標値と、上記固定目標値発生手段から出力される目標値とを択一的に選択して上記周波数差演算手段に対して出力する目標値選択手段と、

ワイドモードが設定されている場合には、上記目標値選択手段により上記目標周波数計測手段から出力される目標値を出力させ、ノーマルモードが設定されている場合には、上記固定目標値発生手段から出力される目標値を出力させるように制御を行う切換制御手段と、

が設けられることを特徴とする請求項 1 に記載のフェーズロックドループ回路。

【請求項 4】 上記目標周波数計測手段は、

上記ランレングスリミテッド符号の周波数と所要の周波数目標値との誤差情報に基づいて、上記ディスク状記録媒体を線速度一定に回転制御する回転制御手段において、上記ランレングスリミテッド符号の周波数を計測するために備えられる符号周波数計測手段とされていることを特徴とする請求項 1 に記載のフェーズロックドループ回路。

【請求項 5】 ランレングスリミテッド符号が記録されているディスク状記録媒体を線速度一定に回転駆動することにより再生動作を行う再生装置として、

上記ディスク状記録媒体から上記ランレングスリミテッド符号を再生する再生手段と、該再生手段により再生されたランレングスリミテッド符号に同期したクロックを抽出するフェーズロックドループ回路を備え、

上記フェーズロックドループ回路は、所定の周波数による基準信号を発生する基準信号発生手段と、

上記基準信号発生手段により発生された基準信号に基づいて、電圧制御発振手段の発振出力に基づいて得られるクロックの周波数を計測するクロック周波数計測手段と、

上記クロック周波数計測手段により計測されたランレングスリミテッド符号の周波数と目標値とを比較して、そ

の差分情報を算出する周波数差演算手段と、  
上記符号抽出手段から抽出したランレングスリミテッド符号の周波数を上記基準信号発生手段により発生された基準信号に基づいて計測し、計測した周波数情報を上記周波数差演算手段における目標値として出力することのできる目標周波数計測手段と、  
上記符号抽出手段から抽出したランレングスリミテッド符号に対する上記クロックの位相誤差低域情報を出力する位相差検出手段と、  
入力された上記周波数差演算手段の差分情報、及び上記位相差検出手段の位相誤差低域情報について、何れか一方を択一的に選択して出力する情報選択手段と、  
上記情報選択手段から出力された差分情報又は位相誤差低域情報について積分を行う積分手段と、  
上記符号抽出手段から抽出したランレングスリミテッド符号と上記クロックに基づく周波数信号とについて位相比較を行い、位相比較情報としての信号を出力するように動作する位相比較手段と、  
上記積分手段の出力と上記位相比較手段の出力を加算して上記電圧制御発振手段に対して発振制御信号として出力する加算手段と、  
当該フェーズロックドループ回路がロックしているか否かを判別するロック判別手段と、  
上記ロック判別手段により、当該フェーズロックドループ回路がロックしていないと判別された場合には、上記情報選択手段により上記周波数差演算手段の差分情報が選択されるように制御し、当該フェーズロックドループ回路がロックしていると判別された場合には、上記情報選択手段により上記位相差検出手段の位相誤差低域情報が選択されるように制御する切換制御手段とを備えて構成されることを特徴とする再生装置。

【請求項 6】 上記ランレングスリミテッド符号のフレーム単位の周期ごとに発生する符号列の反転回数の平均値に基づいて設定したランレングスリミテッド符号の下限周波数と上限周波数の値が保持される周波数保持手段と、  
上記ランレングスリミテッド符号の下限周波数と上限周波数の範囲に対応して利得の可変範囲が設定される利得可変手段と、  
上記利得可変手段により与えられる利得に基づいて、上記目標周波数計測手段から出力される目標値を可変する可変制御手段と、  
が備えられることを特徴とする請求項 5 に記載の再生装置。

【請求項 7】 上記フェーズロックドループ回路のキャプチャーレンジ及びロックレンジを拡大させるように動作するワイドモードと、上記フェーズロックドループ回路の通常のキャプチャーレンジ及びロックレンジに基づく動作を行わせるノーマルモードとのモード切り換えが可能とされたうえで、

上記目標値として、上記電圧制御発振手段の中心周波数に対応して設定された所要の固定値を発生して出力させる固定目標値発生手段と、

上記目標周波数計測手段から出力される目標値と、上記固定目標値発生手段から出力される目標値とを択一的に選択して上記周波数差演算手段に対して出力する目標値選択手段と、

ワイドモードが設定されている場合には、上記目標値選択手段により上記目標周波数計測手段から出力される目標値を出力させ、ノーマルモードが設定されている場合には、上記固定目標値発生手段から出力される目標値を出力させるように制御を行う切換制御手段と、  
が設けられることを特徴とする請求項 5 に記載の再生装置。

【請求項 8】 上記目標周波数計測手段は、  
上記ランレングスリミテッド符号の周波数と所要の周波数目標値との誤差情報に基づいて、上記ディスク状記録媒体を線速度一定に回転制御する回転制御手段において、上記ランレングスリミテッド符号の周波数を計測するために備えられる符号周波数計測手段とされていることを特徴とする請求項 5 に記載の再生装置。

【請求項 9】 上記ランレングスリミテッド符号の周波数と所要の周波数目標値との誤差情報に基づいて、上記ディスク状記録媒体を線速度一定に回転制御する回転制御手段が備えられ、

上記回転制御手段において、所要の一定線速度が得られるように上記周波数目標値を変更することのできる周波数目標値変更制御手段が設けられることを特徴とする請求項 5 に記載の再生装置。

【請求項 10】 線速度一定により回転駆動されるべきディスク状記録媒体から再生したランレングスリミテッド符号に同期したクロックを抽出するためのフェーズロックドループ回路がロックしたとされる状態となるように引き込み制御を行うためのフェーズロックドループ回路の引き込み制御方法として、  
上記フェーズロックドループ回路のキャプチャーレンジ及びロックレンジを拡大させるように動作するワイドモードと、上記フェーズロックドループ回路の通常のキャプチャーレンジ及びロックレンジに基づく動作を行わせるノーマルモードとのモード切り換えが可能とされたうえで、

上記ランレングスリミテッド符号の周波数と所要の周波数目標値との誤差情報に基づいて、上記ディスク状記録媒体を線速度一定に回転制御する回転制御処理と、  
少なくともディスク状記録媒体が回転中とされ、フォーカスサーボループ及びトラッキングサーボループがオンとされた状態の後において、上記フェーズロックドループ回路がロックしているとされる状態であるか否かを判別するロック判別処理と、

上記ノーマルモードが設定されているもとの、上記ロッ

ク判別処理によりフェーズロックドループ回路がロックしていないと判別された場合には、上記フェーズロックドループ回路の電圧制御発振回路の発振周波数が所定の中心周波数で固定となるように制御すると共に、上記回転制御処理において利用される周波数目標値を、上記ランレングスリミテッド符号のフレーム単位の周期ごとに発生する符号列の反転回数の平均値に基づいて設定した最大値と最小値の範囲内で可変する第1の引き込み制御処理と、

上記ワイドモードが設定されているもとで、上記ロック判別処理によりフェーズロックドループ回路がロックしていないと判別された場合には、上記フェーズロックドループ回路の電圧制御発振回路の発振周波数が、上記ランレングスリミテッド符号の周波数に対応して可変するように制御すると共に、上記回転制御処理において利用される周波数目標値を固定とするように制御する第2の引き込み制御処理と、  
を実行するように構成されていることを特徴とするフェーズロックドループ回路の引き込み制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディスク状記録媒体を一定線速度で回転駆動することによりデータ再生を行う再生装置と、このような再生装置においてディスク状記録媒体から再生されたランレングスリミテッド符号に同期したクロックを生成するフェーズロックドループ回路、及びこのフェーズロックドループ回路の引き込み制御方法に関する。

【0002】

【従来の技術】CD（コンパクトディスク）等のディスクを記録媒体としたシステムが普及している。このようなシステムでは、ランレングスリミテッド符号の一種であるEFM変調（8-14変調）を施した記録データをディスクに記録するようにしている。また、ディスクの回転動作についてはCLV（線速度一定）方式が採用されている。

【0003】CLV回転サーボのためには、例えば従来においては、ディスクから読み出したEFM信号をフェーズロックドループ回路（以降PLL（Phase Locked Loop）回路という）に注入してクロックを再生し、そのクロックをクリスタルにより得られる基準クロックと比較して回転誤差情報を得る。そしてその回転誤差情報をディスクを回転させるスピンドルモータに対してフィードバックすることで、線速度一定の回転状態が得られるようにしている。このようなCLVサーボ回路が機能するためには、まずPLL回路がロックし、クロックが正確に抽出された状態でなければならない。このため、スピンドルモータの立ち上げの際にはまず抽出されるEFM信号をPLL回路のキャプチャレンジに引き込むためのラフサーボ制御を行う構成が必要となる。つまり、デ

ィスク再生装置では、例えばスピンドル回転起動時には、まずラフサーボ回路により或る程度の回転サーボ制御を行ない、その後PLL回路がロックした時点で、CLVサーボ動作をラフサーボ回路から通常のCLVサーボ回路に切り換えるようにしている。

【0004】図13にディスク再生装置におけるCLVサーボ系の構成を示す。この図に示すようにCLVサーボ系は、ラフサーボ回路100及びCLV速度検出回路110を備えて構成されている。ラフサーボ回路100においては、まず、ディスクから再生されたEFM信号がビット長計測回路101に入力される。EFM信号は、その符号列の最大反転間隔が11T、最小反転間隔が3Tとなるように規定されたランレングスリミテッド符号であるが、上記ビット長計測回路101は、入力されたEFM信号のエッジ間のビット長をクリスタル（XTAL）による基準測定クロックに基づいて計測し、その計測値の情報を最大値ホールド回路102に供給する。最大値ホールド回路102では、ビット長計測回路101から入力されたビット長の測定情報のうちから最大値をホールドして後段の最小値ホールド回路103に出力する。最小値ホールド回路103では、最大値ホールド回路102から出力される最大値のうちから最小値をホールドして出力するようにされる。ここで、最小値ホールド回路103におけるホールド値は、最大値ホールド回路102にて得られた最大ビット長のうちから、最小ビット長を取るようになる。即ち、例えばディスク上の傷などによる読み出しエラー等によって、EFM信号に11T以上の反転間隔が生じたとしてもそれらがキャンセルされ、ほぼ11Tに近い最大ビット長の情報が得られることになる。

【0005】このようにして最小値ホールド回路103では、ある範囲内において最大反転間隔である11Tに近いビット長の情報が得られることになるが、11T検出回路104では、最小値ホールド回路103にてホールドされているビット長（反転間隔値）と基準となる11Tのビット長とを比較することにより、3値による誤差信号を出力する。つまり、最小値ホールド回路103におけるホールド値と基準となる11Tのビット長について、両者が等しい場合と、基準となる11Tのビット長の方が大きい場合と、基準となる11Tのビット長の方が小さい場合とでそれぞれ異なる3値の比較信号を出力するようにされる。このようにして得られる誤差信号を引き込みサーボ信号CLV-1として、ここでは図示しないスピンドルモータに供給することで、CLVのためのラフサーボ制御が行われることになる。

【0006】CLV速度検出回路110においては、まず、シンクパターン検出回路111が備えられており、図のようにEFM信号と、クロック抽出のためのPLL回路（ここでは図示せず）から出力されるクロックに相当する信号PLCK（例えば4.3218MHz）が入力され

る。ここで、EFM信号の1フレーム(588ビット)の先頭には24ビットによるシンクパターンがエンコードされており、このシンクパターンは、先頭から11T, 11T, 2Tの固定パターンにより形成されている。そして、上記シンクパターン検出回路111では、信号PLCKを基準クロックとして、入力されたEFM信号をビット単位でカウントする(即ち588ビットごとにカウントを行っていく)ことにより、上記シンクパターンを検出する。

【0007】シンクパターン検出回路111の検出出力は、内挿保護回路112に供給され、例えば、再生信号のドロップアウトやジッター等の影響により本来の位置にシンクパターンが検出されなかったり、本来シンクパターンが存在しない位置にシンクパターンが検出された場合には、シンクパターンの内挿及びウインドウ保護等の処理を実行する。内挿保護回路112から出力されたシンクパターンの情報は、フレームシンク生成回路113及び速度カウンタ114に対して分岐して供給される。フレームシンク生成回路113では、入力されたフレームシンクの検出信号に基づいてフレームシンク信号が生成され、このフレームシンク信号は所要の信号処理等に利用されることになる。また、速度カウンタ114では、信号PLCKに同期したタイミングのフレームシンクをクリスタル系による所定周波数でカウントすることにより、速度誤差情報を得るようにされ、この速度誤差情報が速度検出信号CLV-2として出力される。この速度検出信号CLV-2をここでは図示しないスピンドルモータのドライバに供給することで、シンクパターンが検出されている状態(即ちPLL回路がロックしている状態)でのCLV制御を実行することができる。なお、ここでは図示しないが、CLV制御には、例えば速度検出信号CLV-2と共に、PLL回路にて生成されるクロックをクリスタル系の所定周波数信号と位相比較して得た位相誤差信号も用いるようにされる。

【0008】このような構成のCLVサーボ系においては、例えばスピンドルモータの回転起動時には、ラフサーボ回路100の系を利用してラフサーボ制御を行うことにより、前述のように、PLL回路がキャプチャレンジに引き込まれるまでスピンドルモータの回転速度を制御する。そして、PLL回路がロックしたとされる状態では、ラフサーボ回路系からCLV速度検出回路110の系に切り換えるようにすることで、ディスク回転速度を線速度一定に制御するようにされる。

【0009】また、EFM信号に同期したビットクロックを再生するためのPLL回路として、キャプチャレンジ及びロックレンジの拡大を図った、いわゆるワイドキャプチャ機能を有するPLL回路が知られている。このようなワイドキャプチャ機能を有するPLL回路の構成例を図14に示す。なお、この図に示すPLL回路は、キャプチャレンジが拡大されない通常動作によ

るノーマルモードと、ワイドキャプチャ機能が与えられるワイドモードとの切り換えが可能な構成とされている。図14に示すPLL回路200は、システムクロックPLL回路300とRFPLL回路400との2つのPLL回路系により形成される。システムクロックPLL回路300では、まず、外付けの水晶発振器301により発生される所定周波数の基準信号を分周して、位相周波数比較器303の比較基準信号として入力する分周器302が備えられる。位相周波数比較器303は、分周器307→分周器308→可変分周器309を介して分周された電圧制御発振回路(VCO(Voltage Controlled Oscillator))306の発振周波数信号と、上記基準信号とについて位相及び周波数比較を行ってその誤差信号を出力する。この場合、この誤差信号はスイッチ304の端子T・Nに対して供給される。

【0010】スイッチ304は、例えば図示しないシステムコントローラから出力されるノーマル/ワイドモード切換信号によって、端子T・outが端子T・W(ワイドモード時)又は端子T・N(ノーマルモード時)に対して択一的に接続されるように制御される。この場合、端子T・Nには、上記位相周波数比較器303から出力される誤差信号が供給され、端子T・Wには、スピンドル回転情報が供給される。ここで、スピンドル回転情報とは、ディスクを回転駆動するスピンドルモータの回転速度に対応する情報値を有する信号とされる。スイッチ304から出力された信号は、ローパスフィルタ305を介して濾波されてVCO306に対して誤差制御信号として入力される。VCO306では、上記誤差制御信号としての電圧値に基づいて発振周波数が制御される。その発振周波数を分周器307に対して出力する。

【0011】スイッチ310は、スイッチ304と同様、ノーマル/ワイドモード切換信号によって、端子T・outが端子T・W又は端子T・Nに対して択一的に接続される構成を採る。この場合、スイッチ310の端子T・Wには、VCO306の発振出力を分周器307により分周した周波数信号が供給され、端子T・Nには、水晶発振器301からの基準信号が供給される。端子T・outからの出力は、次に説明するRFPLL回路400の分周器401に入力される。

【0012】RFPLL回路400では、分周器401を介したスイッチ310の出力と、VCO404の発振周波数信号を分周器405→分周器406を介して得られる周波数信号とが、位相比較器402に入力されローパスフィルタ403を介して誤差制御信号としてVCO404に供給される。デジタルPLL回路407には、上記VCO404の発振周波数信号を分周器405により分周した周波数信号と、図示しないディスクから再生されたEFM信号が入力され、この2つの信号に基づいて位相比較を行って得られる検出信号に基づいてEFM信号に同期したクロックを抽出する。

【0013】上記構成のPLL回路200の動作として、先ずノーマルモード時の動作は次のようになる。ノーマルモードでは、スイッチ304及びスイッチ310は共に端子T<sub>out</sub>が端子T・Nに対して接続されることになる。この場合、システムクロックPLL回路300のVCO306の出力は後段のRFPLL回路400に対しては供給されないことになる。従って、ノーマルモード時においては、システムクロックPLL回路300は回路として使用されないことになる。

【0014】このとき、RFPLL回路400においては、水晶発振器301の基準信号がスイッチ310→分周器401を介して、比較基準信号として位相比較器402に入力されることになる。位相比較器402においては、上記水晶発振器301の基準信号に基づく比較基準信号と、VCO404の発振周波数信号を分周器405→分周器406を介して入力される周波数信号とについて位相比較を行うことになる。これにより、RFPLL回路400においては、水晶発振器301の基準信号に同期したVCO404の発振周波数が得られるように収束する。デジタルPLL回路407では、例えばこのVCO404の発振周波数を利用してEFM信号に同期したクロックを再生する。即ち、RFPLL回路400側では、ノーマルモード時においては、水晶発振器301から得られる基準信号を基準としてPLL回路ループが収束するように動作する。

【0015】また、PLL回路200におけるワイドモード時の動作は次のようになる。この場合、スイッチ304及びスイッチ310は共に端子T<sub>out</sub>が端子T・Wに対して接続されることになる。これにより、システムクロックPLL回路300においては、位相周波数比較器303の出力は無効とされ、代わりにスピンドル回転情報が、スイッチ304からローパスフィルタ305を介して誤差制御信号としてVCO306に入力される。この場合、VCO306はスピンドルモータの回転速度に応じてその発振周波数が可変制御されることになる。

【0016】RFPLL回路400においては、水晶発振器301の基準信号の代わりに、上記VCO306を分周器307により分周して得られる周波数信号がスイッチ310→分周器401を介して更に分周されて位相比較器402に比較基準信号として入力されることになる。従って、RFPLL回路400のVCO404は、上記システムクロックPLL回路300側のVCO306に基づく周波数信号に同期するようにその発振周波数が制御されることになる。これは、VCO404において、スピンドルモータの回転速度に追従するようにしてその発振周波数が可変される動作となる。そして、デジタルPLL回路407がこのVCO404の出力に基づいて動作する結果、例えばディスクの回転速度が規定のCLV速度に達していない状態であっても、ディスク回

転速度に従って得られる周波数によるクロックに同期するようにしてロックする動作が得られることになる。即ち、PLL回路のキャプチャレンジがワイド化されることになる。これにより、例えば水晶発振器301に同期した状態が得られていなくとも、PLL回路がディスク回転速度に追従してロックしている限り信号処理系のデータ読み出しが可能となる。

【0017】

【発明が解決しようとする課題】ところで、図13に示したようなCLVサーボ系の構成では、例えば前述したスピンドルモータ起動時や、外部から加えられた振動などの外乱によってCLVサーボがはずれたり長期間にわたって信号が欠落したような場合においては、ラフサーボ回路100の系に切り替えて、再度ラフサーボ制御に移行することになるのであるが、前述のようにラフサーボ回路100では引き込みサーボ信号CLV-1として3値しか取り得ないために、例えば1Hz以下の狭い帯域でしかサーボ制御を行うことができない。このため、再度PLL回路がロックする状態にまで復帰させるのに比較的時間がかかってしまっていた。また、図13に示したようなCLVサーボ系の構成では、当然のこととして、通常のサーボ制御のためのCLV速度検出回路110を備えた系と、ラフサーボ制御のためのラフサーボ回路100の系との2系統のCLVサーボ回路系を必要とするため、それだけ回路規模が大きくなってしまっていた。

【0018】また、図13に示したようなCLVサーボ系の場合、ラフサーボ回路100とCLV速度検出回路110とで、サーボ特性が大きく異なることから、例えば図14に示したような回路構成のワイドキャプチャ機能を有するPLL回路を使用したとしても、例えば引き込みサーボ中に外乱等が継続すると、ディスク回転速度誤差がPLL回路の追従範囲を越えてしまって、PLL回路のロックがはずれる可能性が高かった。特に携帯用のCDプレーヤなどにおいては、ディスク回転方向に沿った揺れによる外乱が生じる可能性は高いが、この外乱によって光学ピックアップに対するディスク回転速度の相対的变化が顕著なものとなるため、このような状況を考慮した場合には、図14に示したPLL回路系により得られるロックレンジや、図13に示すCLVサーボ系の制御動作では、ロック状態の維持や、迅速なCLVサーボの引き込み動作を期待することには不十分であった。

【0019】また、図14に示すPLL回路200の回路構成でも、システムクロックPLL回路300とRFPLL回路400の、2段のPLL回路系が必要とされることから、図13に示したCLVサーボ系と同様、回路の大規模化が避けられず、それだけコストアップにもつながっていた。

【0020】



【課題を解決するための手段】そこで、本発明は上記した課題を考慮して、ディスク回転のCLV制御とクロック再生に用いられるPLL回路として、より簡略な構成によっても、キャプチャレンジとロックレンジが拡大されるように構成し、PLL回路としてより安定的な動作が得られるようにすることを目的とする。

【0021】このため、ディスク状記録媒体から再生されたランレングスリミテッド符号を抽出する符号抽出手段と、所定の周波数による基準信号を発生する基準信号発生手段と、この基準信号発生手段により発生された基準信号に基づいて、電圧制御発振手段の発振出力に基づいて得られるクロックの周波数を計測するクロック周波数計測手段と、このクロック周波数計測手段により計測されたランレングスリミテッド符号の周波数と目標値とを比較してその差分情報を算出する周波数差演算手段と、符号抽出手段から抽出したランレングスリミテッド符号の周波数を上記基準信号発生手段により発生された基準信号に基づいて計測し、計測した周波数情報を上記周波数差演算手段における目標値として出力することのできる目標周波数計測手段と、符号抽出手段から抽出したランレングスリミテッド符号に対するクロックの位相誤差低域情報を出力する位相差検出手段と、入力された上記周波数差演算手段の差分情報、及び上記位相差検出手段の位相誤差低域情報について、何れか一方を択一的に選択して出力する情報選択手段と、情報選択手段から出力された差分情報又は位相誤差低域情報について積分を行う積分手段と、符号抽出手段から抽出したランレングスリミテッド符号とクロックに基づく周波数信号とについて位相比較を行い、位相比較情報としての信号を出力するように動作する位相比較手段と、積分手段の出力と位相比較手段の出力を加算して電圧制御発振手段に対して発振制御信号として出力する加算手段と、当該フェーズロックドループ回路がロックしているか否かを判別するロック判別手段と、このロック判別手段によりフェーズロックドループ回路がロックしていないと判別された場合には、情報選択手段により上記周波数差演算手段の差分情報が選択されるように制御し、当該フェーズロックドループ回路がロックしていると判別された場合には、情報選択手段により位相差検出手段の位相誤差低域情報が選択されるように制御する切換制御手段とを備えてフェーズロックドループ回路を構成することとした。

【0022】また、ランレングスリミテッド符号が記録されているディスク状記録媒体を線速度一定に回転駆動することにより再生動作を行う再生装置として、ディスク状記録媒体からランレングスリミテッド符号を再生する再生手段と、この再生手段により再生されたランレングスリミテッド符号に同期したクロックを抽出するフェーズロックドループ回路を備えることとした。そして、上記フェーズロックドループ回路は、所定の周波数による基準信号を発生する基準信号発生手段と、この基準信

号発生手段により発生された基準信号に基づいて、電圧制御発振手段の発振出力に基づいて得られるクロックの周波数を計測するクロック周波数計測手段と、このクロック周波数計測手段により計測されたランレングスリミテッド符号の周波数と目標値とを比較して、その差分情報を算出する周波数差演算手段と、符号抽出手段から抽出したランレングスリミテッド符号の周波数を基準信号発生手段により発生された基準信号に基づいて計測し、計測した周波数情報を周波数差演算手段における目標値として出力することのできる目標周波数計測手段と、符号抽出手段から抽出したランレングスリミテッド符号に対するクロックの位相誤差低域情報を出力する位相差検出手段と、入力された周波数差演算手段の差分情報、及び位相差検出手段の位相誤差低域情報について、何れか一方を択一的に選択して出力する情報選択手段と、この情報選択手段から出力された差分情報又は位相誤差低域情報について積分を行う積分手段と、符号抽出手段から抽出したランレングスリミテッド符号とクロックに基づく周波数信号とについて位相比較を行い、位相比較情報としての信号を出力するように動作する位相比較手段と、積分手段の出力と上記位相比較手段の出力を加算して電圧制御発振手段に対して発振制御信号として出力する加算手段と、当該フェーズロックドループ回路がロックしているか否かを判別するロック判別手段と、このロック判別手段によりフェーズロックドループ回路がロックしていないと判別された場合には、情報選択手段により周波数差演算手段の差分情報が選択されるように制御し、フェーズロックドループ回路がロックしていると判別された場合には、情報選択手段により上記位相差検出手段の位相誤差低域情報が選択されるように制御する切換制御手段とを備えて再生装置を構成することとした。

【0023】更に、線速度一定により回転駆動されるべきディスク状記録媒体から再生したランレングスリミテッド符号に同期したクロックを抽出するためのフェーズロックドループ回路がロックしたとされる状態となるように引き込み制御を行うためのフェーズロックドループ回路の引き込み制御方法として次のように構成することとした。つまり、フェーズロックドループ回路のキャプチャレンジ及びロックレンジを拡大させるように動作するワイドモードと、上記PLL回路の通常のキャプチャレンジ及びロックレンジに基づく動作を行わせるノーマルモードとのモード切り換えが可能とされたうえで、ランレングスリミテッド符号の周波数と所要の周波数目標値との誤差情報に基づいて、ディスク状記録媒体を線速度一定に回転制御する回転制御処理と、少なくともディスク状記録媒体が回転中とされ、フォーカスサーボループ及びトラッキングサーボループがオンとされた状態の後において、上記フェーズロックドループ回路がロックしているとされる状態であるか否かを判別するロック判別処理と、ノーマルモードが設定されているもと

でロック判別処理によりフェーズロックドループ回路がロックしていないと判別された場合には、フェーズロックドループ回路の電圧制御発振回路の発振周波数が所定の中心周波数で固定となるように制御すると共に、回転制御処理において利用される周波数目標値を、ランレングスリミテッド符号のフレーム単位の周期ごとに発生する符号列の反転回数の平均値に基づいて設定した最大値と最小値の範囲内で可変する第1の引き込み制御処理を実行するようにさせる。また、ワイドモードが設定されているもとでロック判別処理によりフェーズロックドループ回路がロックしていないと判別された場合には、フェーズロックドループ回路の電圧制御発振回路の発振周波数がランレングスリミテッド符号の周波数に対応して可変するように制御すると共に、回転制御処理において利用される周波数目標値を固定とするように制御する第2の引き込み制御処理を実行させることとした。

【0024】上記構成によれば、PLL回路がロックしていない状態では、基準信号発生手段にて発生された基準信号に基づいて電圧制御発振回路のクロック周波数を計測した周波数値を、目標値と比較することにより上記電圧制御発振回路が中心周波数となるように動作することになるが、ここで、上記目標値がEFM信号の周波数情報とされることで、PLL回路は、現在のディスク回転速度に対応するEFM信号の周波数に追従するように動作することになる。また、PLL回路がロックしていない状態では、クロック周波数計測手段により基準信号に基づいて計測したクロック周波数の誤差情報に基づいて電圧制御発振回路の発振周波数を制御する系を形成し、PLL回路がロックしたとされる状態に移移したときは、上記クロック周波数計測手段の系から、ランレングスリミテッド符号に対するクロックの位相誤差低域情報を出力する位相差検出手段による系に切換を行い、この位相誤差低域情報を積分した出力と、主として位相誤差高域成分を出力するとされる位相比較手段の系との合成により得られる信号によって電圧制御発振回路の発振周波数を制御するように構成したことで、PLL回路がロックしたとされる状態のもとにおいても、上記位相誤差低域情報に基づいてPLL回路の動作をEFM信号の周波数（ディスク回転数）に追従させることが可能となる。

#### 【0025】

【発明の実施の形態】以下、図1～図12を参照して本発明の実施の形態について説明を行う。なお、以降の説明は次の順序で行うこととする。

##### 1. 再生装置の構成

##### 2. PLL/CLVサーボ回路

(2-a. PLL/CLVサーボ回路の構成)

(2-b. CLVターゲット設定回路の構成)

(2-c. ノーマルモード時の動作)

(2-d. ソフトウェアによるCLVターゲット可変設

定動作)

(2-e. ワイドモード時の動作)

(2-f. 可変速再生動作)

#### 【0026】1. 再生装置の構成

図1は、本発明の実施の形態としてのCLVサーボ制御のための回転速度制御装置および回転駆動装置が備えられるとされる再生装置として、CDプレーヤの要部の構成例を示すブロック図である。なお、本実施の形態のCDプレーヤは、例えば携帯用とされて、これに対応してCDプレーヤ携帯時の振動や揺れなどによる外乱に関わらずできるだけ安定的に再生音声の出力を可能とするための耐振モード（ワイドモード）と、通常再生動作を行うノーマルモードとの切り換えが設定可能とされる構成を有するものである。

【0027】図1において、ディスク1はスピンドルモータ2により線速度一定（CLV）により回転駆動された状態で光学ヘッド3により情報が読みとられる。光学ヘッド3はディスク1に対してレーザ光を照射し、その反射光から、例えばディスク1にピット形態で記録されている情報を読みとる。

【0028】上記のようにしてディスク1からのデータ読み出し動作を行うため、光学ヘッド3はレーザ出力を行うレーザダイオード3cや、偏光ビームスプリッタ、1/4波長板などから構成される光学系3d、レーザ出力端となる対物レンズ3a、及び反射光を検出するためのディテクタ3bなどが備えられている。対物レンズ3aは2軸機構4によってディスク半径方向（トラッキング方向）及びディスクに接離する方向に変移可能に保持されており、また、光学ヘッド3全体はスレッド機構5によりディスク半径方向に移動可能とされている。

【0029】上記した光学ヘッド3の再生動作により、ディスク1から検出された情報はRFアンプ6に供給される。この場合、RFアンプ6においては、入力された情報について増幅処理、及び所要の演算処理等を施すことにより、再生RF信号、トラッキングエラー信号、フォーカスエラー信号等を得る。光学系サーボ回路12では、RFアンプ6から供給されたトラッキングエラー信号、フォーカスエラー信号、及びシステムコントローラ14からのトラックジャンプ指令、アクセス指令などにより基づいて各種サーボ駆動信号を発生させ、2軸機構4及びスレッド機構5を制御してフォーカス及びトラッキング制御を行う

【0030】また、RFアンプ6にて得られた再生RF信号は、信号処理回路7内の2値化回路20に供給されることで、2値化されたEFM信号（8-14変調信号）として出力され、レジスタ21、PLL/CLVサーボ回路25、及び同期検出回路26に対して供給される。また、トラッキングエラー信号、フォーカスエラー信号は光学系サーボ回路12に供給される。

【0031】上記2値化回路20からレジスタ21を介



してEFMデコード回路22に供給されたEFM信号は、ここでEFM復調される。即ち、14-8変換処理が行われる。EFMデコード回路22によりEFM復調されたデータはECC/デインターリーブ処理回路23に供給される。ECC/デインターリーブ処理回路23では、RAM24に対して供給されたデータの書き込み及び読み出し動作を所定タイミングで行いながらエラー訂正処理及びデインターリーブ処理を実行していく。ECC/デインターリーブ処理回路23によりエラー訂正処理及びデインターリーブ処理が施されたデータは、後述するメモリコントローラ8に対して供給される。

【0032】PLL/CLVサーボ回路25では、2値化回路20から供給されたEFM信号を入力してPLL回路を動作させることにより、EFM信号に同期した再生クロックとしての信号PLCKを出力する。この信号PLCKは、マスタクロックとして、信号処理回路7内における処理基準クロックとなる。従って、信号処理回路7の信号処理系の動作タイミングは、スピンドルモータ2の回転速度に追従したものとなる。ここで、ディスク1がn倍速によりCLVで駆動されている条件のもとでPLL回路がロックした状態での信号PLCKの周波数は、例えば $n \times 4.3218\text{MHz}$ とされる。

【0033】本実施の形態では、信号処理回路7がスピンドルモータ2の回転速度に応じたクロックで動作することで、例えばスピンドルモータ2が特定のCLV速度で回転していない状態とされていても、PLL回路がロックしてシンクパターンが検出可能とされている限り読み出しデータについての処理を実行することが可能である。

【0034】また、PLL/CLVサーボ回路25では、上記PLL回路の動作により得られる信号や入力されたEFM信号等を利用してCLV制御のためのCLVサーボ信号を生成してモータドライバ13に供給する。なお、PLL/CLVサーボ回路25の内部構成については後述する。モータドライバ13は、PLL/CLVサーボ回路25から供給されたCLVサーボ信号に基づいてモータ駆動信号を生成してスピンドルモータ2に供給する。これにより、スピンドルモータ2は、ディスクに対して一定線速度で回転するように駆動される。

【0035】同期検出回路26では、PLL/CLVサーボ回路25から入力される信号PLCKを基準クロックとして、2値化回路20から入力されるEFM信号からフレームシンクを検出するための動作を行う。ここで、図8にEFM信号の1フレームの構造を示すが、この1フレームを形成する588ビットのうち、先頭の24ビットがシンクパターンとされている。このシンクパターンは図のように11T、11T、2Tの反転間隔の連続により形成される固定パターンとされる。また、同期検出回路26では、ドロップアウトやジッターの影響でデータ中のフレームシンクパターンが欠落したり、同

じフレームシンクパターンが検出されたりした場合のために、フレームシンクの内挿処理及びウィンドウ保護等の処理も実行する。レジスタ21は、同期検出回路26の出力に応じて動作することになる。また、この同期検出回路26において、例えばフレームシンクのビット数'24'が信号PLCKのタイミングで適正にカウント値として得られる状態では、フレームシンクが適正に検出されている状態であることを示す信号GFSが出力され、この場合にはシステムコントローラ14に対して出力される。

【0036】ここで、上記のようにして同期検出回路26フレームシンクが適正に検出される状態とは、PLL/CLVサーボ回路25におけるPLL回路がロックしている状態に相当することから、システムコントローラ14では、信号GFSが出力されている期間においては、PLL回路がロックしている状態にあることを示すロック信号S・LOCKを出力可能とされている。ロック信号S・LOCKは、図1には示されていないが、後述するようにしてPLL/CLVサーボ回路25における動作切り換えに利用される。

【0037】前述のようにして信号処理回路7のECC/デインターリーブ処理回路23から出力されたデータは、16ビット量子化及び44.1kHz サンプリングに基づく、いわゆるデジタルオーディオデータとされるが、このデジタルオーディオデータはメモリコントローラ8に対して供給される。

【0038】例えば、前述した耐振モード（ワイドモード）が設定されている場合には、スピンドルモータ2がノーマルモード時（1倍速）よりも高速な速度範囲にて回転制御されることで信号処理回路7における信号処理も、スピンドルモータ2の回転速度に応じて、ノーマルモード時より高速レートで行われるようにされる。そして、高速レートにより信号処理回路7から出力されるデジタルオーディオデータを、メモリコントローラ8の制御によりRAM（バッファメモリ）9に対して書き込みを行ってデータの蓄積を行い、RAM9に対する読み出しは、メモリコントローラ8が通常レートに従って制御を行うようにされる。これにより、D/Aコンバータ10によりアナログ信号に変換され、オーディオ出力端子11から出力されるオーディオ信号としては、通常のピッチ及び速度によるものとなる。また、ノーマルモードが設定されている場合には、スピンドルモータ2がノーマルモード時に対応する速度範囲で回転制御され、この回転速度に応じたレートにより信号処理回路7における信号処理が実行される。この場合、データの時間軸補正は、メモリコントローラ8のRAM9に対する書き込み及び読み出し制御によって行われるようにされ、これにより、ノーマルモード時においてオーディオ出力端子11から出力されるオーディオ信号のピッチ及び速度が通常のものとなるようにしている。なお、メモリコントロ

ーラ 8 の動作はシステムコントローラ 14 により制御される。

【0039】システムコントローラ 14 は、マイクロコンピュータ等を備えて構成され、当該 CD プレーヤを構成する各機能回路部が実行すべき所要の動作に応じて適宜制御処理を実行する。また、操作部 15 には、ユーザが、再生、一時停止、停止、サーチ等をはじめとする各種所要の動作を実行させる操作を行うための各種キーが設けられているものとされ、その操作情報はシステムコントローラ 14 に対して供給される。システムコントローラ 14 では入力された操作情報に基づいて適宜所要の制御動作を実行する。特に本実施の形態においては、操作部 15 において、前述したノーマルモードと耐振モードとの切り換え設定を行うためのモード切り換えキーが設けられているものとされる。

#### 【0040】2. PLL/CLV サーボ回路

(2-a. PLL/CLV サーボ回路の構成) 図 2 は、図 1 に示した信号処理回路 7 内の PLL/CLV サーボ回路 25 の構成例を示すブロック図である。この図に示すように、PLL/CLV サーボ回路 25 は CLV サーボ回路系 25A 及び PLL 回路系 25B から成る。CLV サーボ回路系 25A においては、例えば分周器 30 により所定の分周比に基づいて分周された EFM 信号と、水晶発振器 31 から出力される発振周波数 (例えば 16.934MHz) を分周器 32 により分周した周波数信号 FS が CLV 速度カウンタ 33 に対して入力されるようになっている。ここで、分周器 32 から出力される周波数信号 FS は、

$$FS = n \times RFCK / 64$$

で表されるものとされる。RFCK はリードフレームクロックであり、クリスタル系による 7.35KHz の周波数信号とされる。また、変数 n は、ディスク 1 が 1 倍速により CLV で駆動されている速度を基準とした倍速度を示すものとする。従って、ディスク 1 が 1 倍速により CLV で駆動されているとすれば、 $n = 1$  となることから、周波数信号 FS は

$$FS = 1 \times 7350 / 64 = 114.84375 \text{ Hz}$$

となり、ほぼ 115Hz とされることになる。これは時間に換算して約 9ms 程度の比較的長い周期となる。

【0041】CLV 速度カウンタ 33 では、例えば上記周波数信号 FS をサンプリング周期として、入力された EFM 信号のエッジ数をカウントする。本実施の形態では、周波数信号 FS の周期ごとに得られる EFM 信号のエッジ数の情報に基づいて検出され得る EFM 信号の周波数値を CLV 速度情報として扱うようにされ、その計測結果を出力する。CLV 速度カウンタ 33 の計測出力は、減算器 34 及び PLL 回路系 25A 側の PLL ターゲット可変回路 39 に供給される。減算器 34 では、CLV ターゲット設定回路 35 から出力される CLV ターゲット値に対して CLV 速度カウンタ 33 の計測出力を

減算することによって、目標となる CLV 速度に対する現在の CLV 速度誤差の誤差情報である速度誤差信号 CLV-S を得る。なお、本実施の形態では、スピンドルモータ 2 の起動時や再生途中でサーボ落ちや信号の長期欠落等によって PLL 回路のロックがはずれたような状態時には PLL 回路をキャプチャレンジに引き込むための「CLV スキャンモード」が設定される。そして、ノーマルモード時における CLV スキャンモードでは、CLV ターゲット設定回路 35 においては、CLV ターゲット値を、後述するようにして、EFM 信号が取り得る周波数範囲に対応した範囲でスイープさせるように可変させる。また、対振モード時においては通常の CLV サーボ制御モード時と CLV スキャンモード時とに関わらず、所定の固定値による CLV ターゲット値が設定される。この制御はシステムコントローラ 14 より供給される制御信号 SC1 について行われる。

【0042】上記減算器 34 から出力された速度誤差信号 CLV-S は加算器 36 に出力される。この加算器 36 の他方の入力には、スイッチ SW1 を介して位相誤差信号 CLV-P (端子 T・L 側) もしくは '0' による固定値 (端子 T・U 側) が入力されるようになっている。この場合、スイッチ SW1 は、端子 T・out が端子 T・L 又は端子 T・U の何れか一方に対して択一的に接続されるものとされ、ノーマルモード時には、図 1 に示したシステムコントローラ 14 から出力されるロック信号 S・LOCK によりその切り換え状態が制御される。ロック信号 S・LOCK は、前述のように PLL 回路系がロックしているか否かを示す信号とされ、ここでは、PLL 回路系がロックしていれば H レベル、ロックしていなければ L レベルであるものとする。

【0043】そして、スイッチ SW1 は、ロック信号 S・LOCK が H レベルであれば端子 T・out が端子 T・L に対して接続され、L レベルであれば端子 T・out が端子 T・U に対して接続される。従って、加算器 36 に対しては、PLL 回路がロックしているとされる状態では位相誤差信号 CLV-P が供給され、ロックしていないとされる状態では、'0' による固定値が供給されることになる。ただし、スイッチ SW1 には、システムコントローラ 14 から出力されてノーマル/ワイドモードに対応するモード切り換え信号 S・NW も入力されている。そして、モード切り換え信号 S・NW としてワイドモード時に対応する場合においては、ロック信号 S・LOCK はスイッチ SW1 の切り換え制御に対して無効とされ、スイッチ SW1 は、端子 T・U に対して固定される。つまり、PLL 回路がロックしているか否かに関わらず、定常的に '0' による固定値がスイッチ SW1 から出力されることになる。

【0044】なお、位相誤差信号 CLV-P は、例えば PLL 回路系 25B の電圧制御発振器 (VCO) 44 の発信周波数と、クリスタル系の基準周波数信号とについ

て位相比較を行うことにより得られる信号であり、CLVサーボにおける回転位相誤差情報として扱われるものである。

【0045】加算器36の出力は、例えばデジタルローパスフィルタとバイパス回路等が組み合わされて形成されるローパス回路37を介することにより低域成分が抽出され、D/Aコンバータ38に対して供給される。D/Aコンバータ38においては、デジタル信号としてのローパス回路37の出力をアナログ値に変換して、CLVサーボ制御信号としてモータドライバ13（図1参照）に供給する。モータドライバ13では、供給されたCLVサーボ制御信号に基づいて生成したモータ駆動信号をスピンドルモータ2に供給するようにされ、これにより、スピンドルモータ2は、CLVサーボ制御信号に応じてその回転速度が可変制御されることになる。

【0046】また、PLL回路25Bにおいては、再生クロックとしての周波数信号PLCKを生成する電圧制御発振回路（VCO）44が備えられる。このVCO44の発振周波数は、後述する加算器43の出力に応じて可変制御される。なお、この図においては、便宜上、VCO44から直接、周波数信号PLCKが出力されているものとしているが、実際にはVCO44の発振周波数を1/2分周した周波数が周波数信号PLCKとされ、例えば、1倍速によりディスクを回転駆動している状態でPLL回路がロックしているときには、周波数信号PLCK=4.3218MHzとなる。

【0047】位相比較器としてのアナログPCO回路41では、EFM信号について再生クロック信号PLCKとの位相を比較し、その検出出力をフィルタ42に出力する。フィルタ42はアナログPCO回路41の検出出力を濾波してVCO44の発振周波数を制御するための誤差制御信号S・Eとして出力する。この誤差制御信号S・Eは、スイッチSW4を介して加算器43に供給される。

【0048】スイッチSW4は、システムコントローラ14から出力されるトレーニング信号S・TRNによってオン/オフ制御される。本実施の形態の場合であれば、ノーマルモード時において、例えばディスク回転起動時やディスク読み出し信号の欠落が生じた場合などに、PLL回路に対してEFM信号が入力されない状態がある長期間にわたって得られるような状態が検出された場合には、PLL回路の動作として、VCO44の発振周波数が中心周波数で維持されるようにするトレーニングモードが設定されるようになっている。あるいは、所定のマニュアル操作によりトレーニングモードを設定可能ともされている。上記トレーニング信号S・TRNは、上記トレーニングモードが設定されたときに出力される信号であって、このトレーニング信号S・TRNにより、スイッチSW4は、トレーニングモード時にはオ

フとされ、トレーニングモード時以外の通常動作時にはオンとなるように制御される。つまり、トレーニングモード時においては、アナログPCO回路41の検出出力に基づく信号成分は、VCO44の発振周波数制御には利用されない。ここでは、詳しい説明は省略するが、トレーニングモード時には、後述するFCOカウンタ45の計測出力をPLLターゲット固定値レジスタ40から出力されるPLLターゲット値により減算した誤差信号を得て、この誤差信号を積分回路48により積分して得られる制御信号によってVCO44の発振周波数を制御する。この結果、VCO44の発振周波数が所要の中心周波数で維持されるように収束する動作が得られることになる。

【0049】PLL回路25Bとしての基本的構成は、上記アナログPCO回路41→フィルタ42→（スイッチSW4→加算器43）→VCO44のループにより形成されるが、これに加えて、FCO（Frequency Comparator Output）カウンタ45を備えて成るVCO44の中心周波数の自動調整回路系と、PCI（Phase Comparator Integration）回路50を備えることによりPLL回路のロックレンジを拡大するワイドロック回路系とが備えられる。また、上記自動調整回路系においては、FCOカウンタ45の計測出力と比較を行うPLLターゲット値を可変とすることで、PLL回路のキャプチャレンジを拡大するようにも構成される。

【0050】本実施の形態においては、上記したキャプチャレンジ及びロックレンジを拡大するための回路動作は対振モード時に行われるものとされる。従って、以降、対振モード時におけるPLL/CLVサーボ回路25の動作モードについては、特に「ワイドモード」ともいうことにする。

【0051】FCOカウンタ45は、クリスタル系の周波数信号FSをサンプリング周期として、周波数信号PLCK/36をカウントすることにより、周波数信号PLCKの周波数を計測する。FCOカウンタ45の計測出力は、減算器46に供給される。減算器46では、スイッチSW2を介して入力されるPLLターゲット値に対して、FCOカウンタ45の計測出力を減算する。PLLターゲット値は、VCO44において設定されるべき中心周波数に収束させるための周波数信号PLCKの周波数の目標値であり、従って、減算器46からは、現在の周波数信号PLCKの周波数の誤差情報が得られることになる。

【0052】スイッチSW2は、端子T・outに対して端子T・W又は端子T・Nが択一的に接続され、その接続切り換えはシステムコントローラ14から供給されるノーマル/ワイドモードに対応するモード切り換え信号S・NWにより制御される。モード切り換え信号S・NWとして、ノーマルモードの場合には端子T・outは端子T・Nに接続され、ワイドモードの場合には端子T・

Wに接続される。ここで、スイッチSW2の端子T・Nには所定のPLLターゲット値が固定値として設定されたPLLターゲット固定値レジスタ40が接続され、端子T・Wには、PLLターゲット可変回路39の出力が供給されている。PLLターゲット可変回路39では、CLV速度カウンタ33の出力である速度情報信号CLV-Sについて、後述するように所定範囲内で可変を行って出力する。この速度情報信号CLV-Sの値の可変制御は、システムコントローラ14から出力される制御信号SC2によって行われるものとされる。

【0053】減算器46から出力された誤差情報は、アンプ47を介してスイッチSW3の端子T・ULに供給される。ここで、スイッチSW3は、前述したスイッチSW1と同様に、ロック信号S・LOCKがHレベル（PLL回路がロック状態）では、端子T・outが端子T・Lに接続され、Lレベル（PLL回路がロックしていない状態）では、端子T・outが端子T・ULに接続される。なお、端子T・ULには、後述するPCI回路50の検出出力がアンプ51、スイッチSW5を介して供給される。

【0054】積分回路48は、スイッチSW3の端子T・outから出力される情報値について積分を行い、その積分出力をD/Aコンバータ49に対して出力する。D/Aコンバータ49においては、デジタル情報としての端子T・outからの情報値をアナログ信号による情報信号に変換して加算器43に出力する。加算器43では、D/Aコンバータ49の出力とアナログPCO回路41側から供給される位相誤差信号を加算して、その加算信号をVCO44の発振周波数を制御するための制御電圧として出力する。

【0055】PCI (Phase Comparator Integration) 回路50は、デジタル回路により形成される位相情報検出回路とされ、入力されたEFM信号に対する周波数信号PLCKの位相誤差の低域成分を検出して出力する。ところで、例えばアナログPCO回路41がアナログ回路とされ、PCI回路50がデジタル回路とされることに起因して、両者の位相検出出力には誤差が生じるのであるが、本実施の形態においては、この誤差に対応するオフセット値をPCI回路50の検出出力に与えるようにしていることで、両者の誤差を解消している。このPCI回路50の出力は、位相がロックしている範囲ではEFM信号と周波数信号PLCKの周波数差を表す情報とみることができる。PCI回路50の出力信号は、アンプ51及びスイッチSW5を介してスイッチSW3の端子T・Lに供給される。ここで、PCI回路50の出力信号がスイッチSW5→スイッチSW3を介して積分回路48に入力されたとした場合には、積分回路48から出力される積分値がD/Aコンバータ49によりアナログ信号に変換されて、位相誤差信号S・PCとして出力される。

【0056】（2-b. CLVターゲット設定回路の構成）続いて、CLVサーボ回路系25Aに備えられるCLVターゲット設定回路35の構成について説明する。ノーマルモードでのCLVスキャンモード時には、中心周波数の自動調整モードによりPLL回路系25BのVCO44が中心周波数（ $PLCK=4.3218\text{MHz}$ ）で固定されるように動作することを前提として、CLVサーボ回路系25AのCLVターゲット設定回路35においては、CLVスキャンモード時には、制御信号SC1に従って、そのCLVターゲット値が所定範囲でスweepするようにして可変される。これにより、従来のようにラフサーボ制御を併用することなく、PLL回路がロックするようにCLV制御を行うことが可能となる。

【0057】ここで、CLVターゲット設定回路35において設定されるターゲット値のスweep範囲の設定方法について説明する。CLVターゲット値は、CLV速度カウンタ33にて検出されるCLV速度情報と比較を行うのであるが、図1により説明したようCLV速度カウンタ33にて検出されるCLV速度情報としては、周波数信号RCLK/64をサンプルクロックとしてEFM信号のエッジ数をカウントすることに基づいて得られるEFM信号の周波数情報である。このため、CLVターゲット値が取り得る値としては、EFM信号が取り得るとされる周波数に対応させる必要がある。ただし、EFM信号は、3T～11Tの反転間隔からなる符号列の状態に従って、ある範囲内でその周波数が変化する。そこで、本実施の形態においては、次のようにして、可変されるべきCLVターゲット値の最大値と最小値を求めることとする。

【0058】ここで、図9、図10、図11、図12に、0～FFまでの元の8ビットデータのそれぞれに対応してEFMエンコードされる256とおりのEFMワード（14ビット）を示す。つまりEFM変換テーブルである。このEFMワードはいわゆるNRZI方式のパルス反転信号とされるもので、従って各EFMワードについて『1』の位置がパルス反転位置になる。各図にはEFMワードとともにそのEFMワードのパルス反転回数（つまり『1』の数）を記している。

【0059】このEFMワードは、14ビットで可能な16384（2の14乗）個のパターンの中から、8ビットデータに対応するために256とおりに選択されたもので、特に『1』と『1』の間に『0』が2つ以上入るものであるという条件が満たされ、また反転間隔（『1』と『1』の間隔）として最小反転間隔が3T、最大反転間隔が11Tとされているものである。

【0060】ここで、図9、図10、図11、図12各EFMワードについて示した1ワード内の反転回数を集計してみると次のようになる。

反転回数1回のEFMワード	4ワード
反転回数2回のEFMワード	56ワード

反転回数3回のEFMワード : 120ワード  
 反転回数4回のEFMワード : 70ワード  
 反転回数5回のEFMワード : 6ワード

【0061】これより、1ワード内の平均の反転回数は、

$$(4 \times 1 + 56 \times 2 + 120 \times 3 + 70 \times 4 + 6 \times 5) / 256 = 786 / 256$$

となり、ほぼ3回強となる。

【0062】ここで、図8に示すように、EFMフレームは11T+11T+2T（つまり反転3回）であるシンクパターンと、14ビットの各EFMワード間に配されている3ビットのマージンビットがある。そこで、EFMエンコードされるデータが乱数であると仮定し、また各マージンビットでの反転発生確率を1/2とすると、1つのEFMフレーム内での平均反転回数は、

$$(786 / 256) \times 33 + (1 / 2) \times 34 + 3 \approx 121.32 \text{ [回]}$$

となる。なお、『33』はメインデータ、パリティ、サブコードとしてのワード数であり、『34』はマージンビットの数、『3』はシンクパターンの反転回数である。（図8参照）

【0063】このため、EFM信号の平均周波数は、  
 $(121.32 \times 7.35 \text{ [KHz]}) = 891.1702 \text{ [KHz]}$

と考えることができる。なお、通常のCDシステムに従ったフォーマットでは、EFM変調されるPCMオーディオデータは完全な乱数とはならないため、EFM信号の平均周波数としては多少信頼性に欠ける場合も発生するが、大体においては適正な値となる。そこで、上記EFM信号の平均周波数である891.1702に基づき、本実施の形態では、これに対して周波数の高い側におけるある程度のマージンを考慮して、CLVターゲット値の最大値として900Kを設定することとする。

【0064】また、例えば無音パターンや-60dB以下のランダムパターンがEFM信号に含まれた場合には、1サンプル周期あたりの平均ビット数が2.27ビットとなり、このときのEFM信号の周波数が790KHz程度となり、これが理論的に取りうる最低値と見なされる。

【0065】ここで、例えば、CLVターゲット値としてある程度のマージンを有させるために、EFM変換において数値が小さい方に2エッジ（2回反転）パターン（2回反転）が集中していることを考慮して、各メインデータ（図8参照）のシンボルの反転回数数が平均2.85程度であるのに対して、メインデータの各シンボルのみの反転回数が2回であると仮定すると、EFM信号の周波数は約750KHz程度となることが分かっている。よって、EFM信号の周波数の中心は、ほぼ900KHz～750KHzの範囲に存在するものとして見ることができる。従って、CLV速度としては900K～

750Kの間に中心速度があるものとされることになる。これまでの説明に従い、本実施の形態においては、CLVターゲット設定回路35において設定されるCLVターゲット値のスweep範囲として、最大値を900K、最小値を750Kと設定するものとする。

【0066】CLVターゲット設定回路35として、ノーマルモード時に機能するCLVターゲット可変設定回路をハードウェアにより構成した場合には、例えば図3のブロック図に示すようにして構成することができる。なお、図3においては、図2に示したCLVサーボ回路系25Aの構成も共に示されているが、この構成については図2と同様であり、図2と同一符号を付して説明を省略する。

【0067】図3には、CLVターゲット設定回路35として、ノーマルモード時においてのみ動作するとされるCLVターゲット可変設定回路35Aの構成が示されている。CLVターゲット可変設定回路35Aにおいて、カウンタ部60は、CLVターゲット値についてアップダウンカウントを行う。また、セクタ61は、最小値レジスタ62及び最大値レジスタ63にそれぞれ保持されているCLVターゲット値の最大値（900K）と最小値（750K）とを選択して出力する。また、セット/リセット部64は、カウンタ部60におけるカウント値が最大値（900K）となったときにカウンタ部60をセットし、カウント値が最小値（750K）となったとき、或いはロード信号LDのエッジが検出されたときにカウンタ部60にリセット動作を行わせる。セット/リセット部64のセット入力端子には、カウンタ部60のカウント値（CLVターゲット値）が最大値となったことを検出する最大値検出部65の検出出力が入力されるようになっている。また、リセット入力端子に対しては、カウンタ部60のカウント値が最小値となったことを検出する最小値検出部66の検出出力と、ロード信号のエッジをエッジ検出回路67により検出した検出出力とが入力されるORゲート68の論理和が供給されるようになっている。ここで、CLVターゲット可変設定回路35Aに供給される制御信号SC1としては、ロード信号LD、ロック信号S・LOCKとされる。

【0068】例えばカウンタ部60に対してロード信号LDがシステムコントローラ14より供給されたとするとき、カウンタ部60はカウント初期値をロードしてカウント動作を開始する。ここでの初期値は最大値（900K）と最小値（750K）のうちから適切な値が任意に設定されればよいが、例えば最大値を初期値として設定した場合には、900KのCLVターゲット値をロードして、最小値である750Kを目標値としてダウンカウントを開始する。このカウントタイミングは、例えばRCLK/64による周波数信号FSに同期したタイミングで行われるものとされる。つまり、ここでは図示しないが、カウンタ部60がカウントを行うためのタイミン

グクロックとして例えば周波数信号FSが供給される。ここで、上記カウンタ部60によるダウンカウント動作が最小値(750K)まで継続されたとすると、最小値検出部66においてCLVターゲット値が最小値になったことを検出した検出信号を出力し、セット/リセット部64からはリセット信号が出力される。これによって、カウンタ部60では最大値(900K)をカウント目標値としてアップカウントを行う動作に切り替わることになる。なお、ロード信号の反転が得られるタイミングによっても、リセットがかかりアップカウントに切り替わるようにされる。

【0069】そして、カウンタ部60のアップカウント動作が最大値(900K)まで継続されたとすると、最大値検出部65ではCLVターゲット値が最大値になったことを示す検出信号を出力する。これにより、セット/リセット部64からはセット信号が出力されるが、これによって、カウンタ部60は最小値(750K)をカウント目標値としてダウンカウントを行う動作に切り替わるようにされる。カウンタ部60は、イネーブル反転入力端子にHレベルのロック信号S・LOCK(システムコントローラ14から出力される)が入力されるまで、つまり、PLL回路がロックしたとされる状態となるまで、上記のようにして、最小値レジスタ62及び最大値レジスタ63に保持されている最大値から最小値の範囲でCLVターゲット値を可変するようにされる。そして、PLL回路がロックした状態とされて、イネーブル反転入力端子にHレベルのロック信号S・LOCKが入力されると、カウンタ部60はそのカウント動作を停止すると共に、このときのカウント値(CLVターゲット値)を保持して出力するようにされる。以上の動作が、次に説明するノーマルモード時におけるCLVスキャンモード時に行われるものである。

【0070】なお、上記構成において、カウンタ部60のアップカウントとダウンカウントの切り換えは、EFMビット長の計測結果に基づいて行うようにすることも考えられる。例えば、図示しないEFMビット長計測回路において11T(最大反転間隔)のパターンのビット長を計測し、この計測結果の所要の基準値に対する比較結果に基づいてカウンタ部60のアップカウントとダウンカウントのモード切り換え行われるようにすることができる。

【0071】(2-c. ノーマルモード時の動作) 続いて、上記構成によるPLLサーボ回路25のノーマルモード時の動作について説明する。ノーマルモードとは、前述したように当該CDプレーヤに対して対振機能を与えない通常再生モードであり、定常状態ではディスク1は1倍速のCLVにより回転駆動されるよう制御されると共に、RAM9を利用したデータ的高速書き込み及び定常速度による読み出し制御は行われないものとされる。

【0072】ノーマルモード時において、図2に示すPLLサーボ回路25では、システムコントローラ14から出力されるモード切り換え信号S・NWによってスイッチSW2は端子T・Nに接続されることで、PLLターゲット固定値レジスタ40にて保持されているPLLターゲット固定値が減算器46に供給するようにされる。また、スイッチSW5は、モード切り換え信号S・NWによってオフとなるように制御されることで、PCI回路の50の動作は無効となるようにされる。

【0073】ここで、例えばスピンドルモータの起動時、或いはサーボ落ちやディスク1のゴミ、傷等によるドロップアウトによってPLL回路のロックが所定時間以上はずれたような場合には、PLL回路をロックさせて再生動作が行われるようにするためのCLVスキャンモードに移行する。この段階では、PLL回路がロックしていないことから、ロック信号S・LOCKにより制御されるスイッチSW1, SW3については、端子T・Uが端子T・Uに対して接続されるように制御される。従って、CLVサーボ回路系25Aにおける加算器36に対しては、信号CLV-Pとして'0'の値が入力され、PLL回路系25Bにおいては、FCOカウンタ45側のVCO中心周波数の自動調整回路系が有効とされていることになる。

【0074】上記のようにして各スイッチの切り換え状態が制御されていることで、CLVスキャンモード時の初期状態では、PLL回路系25A側においては、VCO44が中心周波数となるようにするための自動調整モードとなる。つまり、スイッチSW4がオフとされていることで、アナログPCO回路41の検出出力に基づいて得られる誤差制御信号S・Eは加算器43に供給されないようにされる。そして、スイッチSW3において端子T・Uが端子T・Uに対して接続されていることで、FCOカウンタ45を備えてなる自動調整回路系の出力が加算器43を介してVCO44に供給されることになる。

【0075】このときのPLL回路系25Bの動作としては、FCOカウンタ45にてクリスタル系の周波数信号FS(RFCK/64)を基準クロックとして、VCO44の発振周波数に基づいて得られる周波数信号PLCK/36の周波数値が計測され、この計測結果を、減算器46においてPLLターゲット固定値(PLLターゲット固定値レジスタ40の出力)と比較する。そして、この減算器46の出力がアンプ47→スイッチSW3→積分回路48→D/Aコンバータ49を介して周波数誤差信号S・FCとして加算器43に供給される。このとき、説明の簡単のために、トレーニングモードが設定されている状態にあるとすると、加算器43にはアナログPCO回路41の出力は供給されないことから、VCO44は、FCOカウンタ45側の周波数誤差信号S・FCが帰還されるループのみによって、その周波数信



号 P L C K / 3 6 が P L L ターゲット固定値に近づくように制御されることになる。これにより、V C O 4 4 の発振周波数がノーマルモードに対応して設定された中心周波数 ( P L C K = 4.3218MHz ) となるように収束して固定されるように制御されることになる。つまり、ノーマルモードでの C L V スキャンモード時においては、P L L 回路系 2 5 B は V C O 4 4 が中心周波数で固定された状態にあるものと見ることができる。

【0076】これに対して、C L V サーボ回路系 2 5 A では、C L V 速度カウンタ 3 3 から出力される速度情報信号を、C L V ターゲット設定回路 3 5 より出力される C L V ターゲット値に対して減算器 3 4 にて比較を行う際、C L V ターゲット設定回路 3 5 では、その C L V ターゲット値を可変するようにされる。つまり、C L V ターゲット設定回路 3 5 としては、図 3 にて説明した C L V ターゲット可変設定回路 3 5 A が機能し、P L L 回路がロック ( ロック信号 S ・ L O C K = H ) したとされた状態が得られるまで、図 3 により説明した動作により、C L V ターゲット値を最大値 ( 9 0 0 K ) ~ 最小値 ( 7 5 0 K ) の範囲でスイープさせるようにして可変させることになる。従って、スピンドルモータ 2 は、可変される C L V ターゲット値に対する現在の C L V 速度情報 ( C L V 速度カウンタ 3 3 の出力 ) の差分により得られる速度誤差情報に基づいて、E F M 信号の周波数が P L L 回路の引き込み範囲にくるよにその回転速度が制御されることになる。なお、このときにはスイッチ S W 1 が端子 T ・ U に接続されていることで、C L V スキャンモード時においては、制御成分として不要となる位相誤差信号 C L V - P は加算器 3 6 に対しては供給されず、値として ' 0 ' が供給されている。

【0077】ここで、スピンドルモータ 2 の回転速度が P L L 回路の引き込み範囲に対応する程度に至ったことで E F M 信号のフレームシンクの検出が可能とされ、システムコントローラ 1 4 から H レベルによるロック信号 S ・ L O C K が出力されたとすると、以降は P L L 回路がロックしたとされる状態が維持される「通常動作モード」に移行するのであるが、この通常動作モードに移行したとされると、C L V ターゲット設定回路 3 5 のカウンタ部 6 0 において可変されていた C L V ターゲット値はこの時点で固定され、以降の通常動作モードにおける C L V 制御に用いる C L V ターゲット値として設定されることになる。このような動作により、本実施の形態での C L V サーボ回路系は、常に 1 つの伝達特性が得られるようにすることができることになる。また、ロック信号 S ・ L O C K が H レベルとされることにより、C L V サーボ回路系 2 5 A では、スイッチ S W 1 が端子 T ・ L に切り替わることで加算器 3 6 に対して現在の位相誤差信号 C L V - P が入力されて、現在の速度誤差情報 C L V - S と加算される。そして、この加算器 3 6 の出力に基づいて得られるモータ駆動信号によりスピンドルモ-

ータ 2 が C L V 制御されることになる。

【0078】また、「通常動作モード」とされることで、P L L 回路系 2 5 B においては、ロック信号 S ・ L O C K ( H レベル ) によってスイッチ S W 3 が端子 T ・ U から端子 T ・ U に切り替わることになるのであるが、ノーマルモードでは、スイッチ S W 5 はオフとされていることにより、P C I 回路 5 0 の出力はオフとなり、従って、積分回路 4 8 の入力オープンとなる。このため、通常動作モード時には、P L L 回路がロックしたとされる時点の積分回路 4 8 において保持された積分値 ( スキャンモード時における最終値 ) が保持され、周波数誤差信号 S ・ F C として加算器 4 3 に入力される。このとき、トレーニングモードが設定される場合以外はスイッチ S W 4 がオンとされていることで、アナログ P C O 回路 4 1 の位相比較出力に基づいて得られる誤差制御信号 S ・ E も加算器 4 3 に入力されている。これにより、通常動作モード時の P L L 回路系 2 5 B では、誤差制御信号 S ・ E に対して上記周波数誤差信号 S ・ F C を加算して得られる電圧値により、V C O 4 4 の発振周波数を制御することで、ロックした状態を維持するようにされる。

【0079】このように本実施の形態では、ノーマルモード時の C L V スキャンモードでは、C L V 速度を P L L 回路のキャプチャレンジに対応する速度にまで引き込むための動作として、約 115 H z (  $\approx 9 \text{ ms}$  ) という従来の C L V サーボ回路系より長い周期により E F M 信号のエッジ数 ( 反転回数 ) をカウントすることにより C L V 速度を計測し、この計測値と、E F M 信号の周波数に基づいて設定された最大値と最小値の間で可変される C L V ターゲット値との誤差に基づいて C L V 制御を実行するようにしている。これにより、本実施の形態では従来のようにラフサーボ回路系を別途設けることなく、非常に簡略な回路規模により C L V 引き込みサーボから、通常の C L V 制御に移行することができる。また、従来のようにラフサーボ制御、アクセス制御、及び通常再生時の C L V 制御とで回路系を切り換える必要が無く、常に一系統の回路系によって C L V 制御を実行することから、それだけ安定的な C L V サーボ制御が実現されることにもなる。

【0080】また、例えば C L V 速度の計測周期は、従来では約 136  $\mu \text{s}$  であるのに対して、本実施の形態では上記のように 9 m s とされて、この場合には、約 64 倍程度の長い周期となることから、1 サンプル欠落時の信号の乱れも 1 / 64 とすることが可能となる。また、C L V ターゲット値が可変とされた状態から遷移して、通常動作モードに適合する C L V ターゲット値が設定されることになるため、C L V ターゲット値は可変でありながら、最終的に 1 つに決定することができる。従って、例えば変速再生を行うような構成とされている場合でも、本実施の形態の P L L / C L V サーボ回路により

容易に対応することが可能である。

【0081】更に、本実施の形態では、CLV速度の計測値はEFM信号のエッジ数に基づいたものであることから、この計測値を例えばシステムコントローラ14が監視することで、ディスクの暴走や逆転が発生する以前の段階でこれらの兆候を検出するように構成することが可能とされ、従来では困難とされていた、上記ディスクの暴走や逆転等によるエラー状態を未然に防止するように制御を行うことが可能とされる。例えば、CLV速度カウンタ33にて計測されたCLV速度値のCLVターゲット値に対する誤差が所定の範囲（例えば $\pm 50\%$ ）を越えた場合は、予め設定しておいたキックレベルによりスピンドルモータのキック制御を実行して、上記CLV速度値のCLVターゲット値に対する誤差がある範囲内（例えば $\pm 30\%$ 以内）になるのを待機し、この範囲内に誤差が収まったことが検出されたら定常再生に戻るための制御を実行するようにされる。

【0082】（2-d. ソフトウェアによるCLVターゲット可変設定動作）ところで、ノーマルモードでのCLVスキャンモード時においてCLVターゲット値を可変するための構成は、図3に示したようなハードウェアとしてのCLVターゲット可変設定回路35Aに代えて、システムコントローラ14の制御によるものとしてソフトウェアにより実現することも可能とされる。この場合には、例えば、CLVターゲット可変設定回路35Aを省略して、システムコントローラ14により発生されるCLVターゲット値を減算器34に入力するように構成すればよいことになる。

【0083】そこで、ノーマルモードでのCLVスキャンモード時の動作として、ソフトウェアによりCLVターゲット値を可変する場合の構成について、図4及び図5のフローチャートを参照して説明する。これらの図に示す処理動作は、システムコントローラ14が実行するものとされる。また、以降の処理動作は、CLVスキャンモードに移行するための状況として、スピンドルモータ2を回転起動させる場合を例として挙げることにする。

【0084】例えば、停止状態からディスクの再生のための操作が操作部15において行われたことを検出すると、システムコントローラ14は、図4に示すステップS100に移行し、内部のタイマーの時間計測値TIMEを0にリセットした後、続くステップS101においてスピンドルモータ2を強制的に回転駆動させるための所定レベルのキック電圧を所定時間印加するための制御を実行する。つまり、いわゆるスピンドルキックといわれる動作が行われ、これによりスピンドルモータ2は回転を開始することになる。なお、所定時間によるスピンドルキックの実行が終了された後は、例えばスピンドルモータ2は、CLV制御がかけられるまでの待機期間は慣性回転を行っている状態にある。

【0085】ステップS101の処理が終了した後は、ステップS102においてフォーカスサーボをオンとするためのコマンドを出力する。これにより、光学系サーボ回路12（図1参照）を備えて形成されるフォーカスサーボ回路系では、フォーカスサーチ制御からフォーカスサーボループ制御に移行するまでのフォーカシング制御を実行することになる。この状態の元で、システムコントローラ14では、ステップS103においてフォーカスサーボ制御が適正に行われた状態となったか否かについて判別を行っており、閉じられたフォーカスサーボループによるサーボ制御が実行された状態となったことが判別されるとステップS104に進む。ステップS104では、トラッキングサーボをオンとするためのコマンドを出力する。これにより、光学系サーボ回路12におけるトラッキングサーボ回路系では、トラッキングサーボ制御を開始することになる。これにより、光学ヘッド3によりディスク1に記録された信号の読み出しが可能な状態が得られることになる。

【0086】ステップS105では、ロック信号S・LOCKをHレベルとして出力している状態であるか、即ち、PLL回路がロックした状態（EFM信号からフレームシンクが適正に検出可能される状態）にあるか否かが判別される。なお、ここまでの処理段階において、PLL回路がロックした状態になければ（ロック信号S・LOCK=Lであれば）、図2にて説明したようにPLL回路系25Bは、FCOカウンタ45の回路系を利用したVCO中心周波数の自動調整動作を行うようにその回路形態が形成されている状態にあるものとされる。

【0087】ステップS105において、先のスピンドルキック処理（S101）によって回転させられたスピンドルモータ2の回転速度がPLL回路のキャプチャレンジに対応する適正範囲にあり、既にPLL回路がロックした状態にあってロック信号S・LOCK=Hであることが判別されると、ステップS111に進み、時間計測値TIMEを‘0’にリセットして、ステップS112に進む。ステップS112では、PLL回路がロックしている状態のもとでの通常動作モードに従った再生動作のための制御処理が実行され、所定時間ごとにステップS105に戻ることににより、PLL回路の状態を監視するようにされる。なお、ステップS105及び後述するステップS202におけるPLL回路のロック状態の判別処理は、前述したように、信号GFSに応じてロック信号S・LOCKを生成することから、例えば同期検出回路26から入力される信号GFSの状態を検出することによっても可能である。従って、PLL回路がロックしている限り、ステップS111→S112→S105のループ処理によって、現在ノーマルモードであるかワイドモードであるかに関わらず、これら再生モードに応じた通常動作モードが継続されることになる。また、再生途中で何らかの外乱等によって、サーボ落ちや



長期信号欠落などのエラー状態が発生してロックがはずれたのであれば、ステップS105からS106に進むようにされる。

【0088】ステップS105において、PLL回路がロックしていないと判別された場合には、ステップS106→S107→S105による処理が実行されることで、所定時間だけ、このままの状態PLL回路がロック状態に復帰して、通常動作モードに移行するのを待機することになるが、スピンドルモータ2の回転速度が依然不適正で、所定時間待機してもPLL回路がロックせず通常動作モードに移行することが不可能である状態では、ステップS107からステップS108に進み、現在、当該CDプレーヤの再生モードとして、ノーマルモードとワイドモードとの何れのモードが設定されているかについて判別を行う。このモード設定は、ユーザの操作部15に対する操作によって何れか一方のモードが既に選択されている状態にあるものとされる。

【0089】ステップS108において、ノーマルモードであると判別された場合には、ステップS109としてのノーマルモードに対応するCLVスキャンモードとしての処理に移行する。このステップS109としての処理ルーチンは次に図5により説明するようなものとなる。また、ワイドモードであると判別された場合には、ステップS110のワイドモードにおけるCLVスキャンモードのための処理に移行するが、ステップS110としての処理ルーチンについては後述する。

【0090】図5に示すルーチンにおいては、先に図3に示したCLVターゲット可変設定回路35Aに代わる動作がシステムコントローラ14により行われる。ここで、システムコントローラ14に対しては、少なくともCLVターゲット値の最大値(900K)と最小値(750K)の情報がセットされているものとする。

【0091】図5に示す処理としては、まずステップS201において、例えば、減算器34に入力すべきCLVターゲット値(図にはCLVTGとして示している)を最大値に設定した後、ステップS202において、PLL回路がロックしているか否かについて判別を行うようにしている。

【0092】ステップS202においてPLL回路がロックしていると判別されたのであれば、ステップS210に進み、これまでCLVターゲット値を可変制御していたのであればこのためのカウント動作を停止して、最後のCLVターゲット値を保持した後、図4に示したステップS105に進むようにされる。これによって、PLL回路がロックした状態にある限り、ステップS111→S112→S105のループ処理によって通常動作モードとなる。これに対して、ステップS202においてPLL回路がロックしていないと判別されたのであれば、ステップS203に進み、CLVターゲット値のカウントモードが現在アップカウントモードとされている

か否かについて判別が行われる。なお、ステップS201→S202の処理を経てステップS203に移行してきた場合には、ダウンカウントモードが設定されているものとする。ステップS203において、アップカウントモードであると判別された場合には、ステップS204に進んでCLVターゲット値について、1ステップインクリメントしてステップS206に進むようにされる。また、ダウンカウントモードであると判別された場合には、ステップS205において、1ステップデクリメントしてステップS206に進むことになる。

【0093】ステップS206においては、現在のCLVターゲット値が最大値とされているか否かについて判別が行われ、CLVターゲット値が最大値とされている場合には、ステップS207に進んでダウンカウントモードにカウントモードを切り換え、ステップS202に戻るようされる。これに対して、CLVターゲット値が最大値に至っていないと判別された場合にはステップS208に進み、CLVターゲット値が最小値に至ったか否かについて判別が行われる。そして、CLVターゲット値が最小値に至ったと判別された場合にはステップS209に進むことによりアップカウントモードに切り換えが行われた後にステップS202に戻るようされる。また、ステップS208において否定結果が得られたのであれば、これまでのカウントモードを維持した状態でステップS202に戻るようされる。これまで説明した動作が実行されることで、図3により説明したCLVターゲット可変設定回路35Aと等価の動作がシステムコントローラ14の処理として実行されることになる。

【0094】なお、上記処理動作においては、図3により説明したハードウェアとしての構成に準じて、アップカウントモードとダウンカウントモードの切り換えが、EFMピット長の計測結果に基づいて行われるようにすることが可能である。

【0095】(2-e. ワイドモード時の動作) 続いて、PLLサーボ回路25の対振モード時(ワイドモード時)における動作について説明する。対振モード時においては、基本的に1倍速より高速の特定のデータ転送レートレートによってディスクからの信号の読み出しと信号処理回路7内における信号処理、及びRAM9へのデータの書き込みを行ってRAM9にデータを蓄積し、RAM9からのデータの読み出しは1倍速に対応する通常レートで読み出すことにより、再生データがとぎれないように出力させることで対振機能を得るものである。そして、本実施の形態においては、更に対振機能の強化を図るために、PLLサーボ回路25の動作として、次に説明するようにして、PLL回路のキャプチャーレンジとロックレンジの拡大が図られるように「ワイドモード」としての動作を行うものである。

【0096】この場合、リードフレームクロック信号R

FCKについては、CLV速度がある $n$ 倍速( $n > 1$ )とされることに対応して、 $RFCCK = n \times RFCCK$ により表される周波数信号となる。また、これに対応してVCO44の発振周波数もノーマルモード時に対して $n$ 倍の周波数を有するものとされ、従って、ワイドモード時の信号PLCKの周波数も、 $PLCK = n \times PLCK$ により表されることになる。

【0097】ワイドモード時における各スイッチの切り換え状態としては、ワイドモードに対応するモード切り換え信号S・NWによって、スイッチSW2が端子T・W側に切り換えられる。これにより、PLL回路系25Bの減算器46に対しては、PLLターゲット可変回路39の出力が入力されることになる。つまり、PLL回路系25BにおけるVCO44の中心周波数の自動調整回路系では、CLV速度カウンタ33により計測されたEFM信号周波数の情報がPLLターゲット値として減算器46に供給されることになる。

【0098】また、スイッチSW5では、ワイドモードに対応するモード切り換え信号S・NWによりオンとなるように制御され、PCI回路50の出力がスイッチSW3の端子T・Lに対して供給可能な状態とされる。また、ロック信号S・LOCKにより制御されるスイッチSW1, SW4の切り換え状態については、ノーマルモード時と同様となる。

【0099】また、ワイドモード時では、CLVサーボ回路系25Aにおいては、CLVターゲット設定回路35から、所定の固定値によるCLVターゲット値を減算器34に対して出力するようにされる。つまり、後述するCLVスキャン動作時であっても、ノーマルモード時のようにCLVターゲット値は可変制御されない。これにより、ワイドモード時には、CLVサーボ回路系25Aでは、CLV速度カウンタ33から出力されるCLV速度情報が上記固定値としてのCLVターゲット値に一致する収束状態が得られるように、スピンドルモータ2の回転速度を制御することになる。また、ワイドモード時においてPLL回路がロックしていないとされる状態では、加算器36に対して‘0’としての固定値による位誤差信号CLV-Pが入力されている状態にある。

【0100】上記のような回路形態がPLL/CLVサーボ回路25において形成されることを前提として、ワイドモード時におけるCLVサーボ回路系25AのCLVスキャン動作(PLL回路をロックさせるための動作である)について説明する。

【0101】ここで、例えばPLL回路がロックしていない状態として、ディスクの回転速度がCLVターゲット設定回路35にて設定されている固定値に達していないとされるとき、PLL回路系25Bにおいては、FCOカウンタ45側の周波数誤差信号S・FCが帰還されるループのみによってVCO44が中心周波数に収束するように制御する中心周波数の自動調整動作が行われて

いる。

【0102】ただし、ワイドモードでは、前述のように減算器46においてFCOカウンタ45の出力と比較するPLLターゲット値は、PLLターゲット可変回路39からの出力となる。このとき、PLLターゲット可変回路39は、CLV速度カウンタ33のEFM信号周波数値を入力して、FCOカウンタ45の出力が目標とする所定の目標値とCLVターゲット値との比に従って、例えば $RFCCK/64$ の周期で可変を行うようにされる。なお、このPLLターゲット値の可変動作については後述する。

【0103】上記のように、FCOカウンタ45の周波数計測値に対して目標となるPLLターゲット値が現在のEFM信号周波数値に基づく周波数値とされ、このPLLターゲット値に基づいて生成された周波数誤差信号S・FCによってVCO44の発振周波数を制御することで、VCO44は現在のEFM信号周波数値にロック可能なVCO周波数、或いは、D/Aコンバータ49と、加算器43、及びVCO44の特性によって決定される最低周波数により固定するように収束する。一方、CLVサーボ回路系25Aでは、前述したように、固定値によるCLVターゲット値を目標としてスピンドルモータ2の回転速度を制御する動作をしている。このとき、PLL回路系25Bでは、上記VCOの中心周波数の自動調整動作を行って、PLL回路がロックする(即ち、現在のEFM信号周波数がPLCK周期と一致する)までに、スピンドルモータ2の回転速度が上昇するのを待機している。

【0104】上記アンロック時の動作状態は、例えば現在のディスク回転速度に対して、VCO44の発振周波数が近づいていくように制御される状態と見ることができる。このため、例えば、VCO44の発振周波数を1/2分周して得られる周波数信号PLCKの周波数可変範囲が2MHz~30MHzであると仮定すると、本実施の形態では、信号PLCKとして最低周波数である2MHzが得られた時点でPLL回路がロックして信号の読み取りが可能となる。即ち、CLVサーボの引き込み段階からPLL回路による追従が可能となる。例えば、従来として、2倍速による再生動作が行われているとすると、信号PLCKが $4.3218\text{MHz} \times 2$ でPLL回路が初めてロックするため、例えばスピンドルモータ2の回転起動から信号読み取りが可能となるのに4秒程度の時間を要していた。これに対して、本実施の形態では約1秒程度で信号の読み取りが可能となる。更に、例えばトラックジャンプ時などにおいて、PLL回路を再ロックさせる際にも、上記したCLVスキャン動作が実行されることで、従来の100倍程度の速度によってディスク速度に追従させるように収束させることが可能となる。これは、従来はPLLターゲット値が固定とされていることでスピンドルモータ2の回転速度のみが可変

制御要素であったのに対し、本実施の形態では、PLL回路の中心周波数自動調整系の動作によって、VCO44の発振周波数がEFM信号周波数に対応する現在のスピンドルモータ2の速度に追従するように制御されることに依る。

【0105】上述のようにしてPLL回路がロックしていない状態から、EFM信号周波数がPLCK周期と一致して同期検出回路26においてフレームシンクが適正に検出され、PLL回路がロックしたとされる状態に移したとされると、システムコントローラ14から出力されるロック信号S・LOCKがHレベルにより出力される。

【0106】これにより、スイッチSW3は端子T・ULから端子T・Lに切り換えが行われることになる。また、スイッチSW4がオンとされることになる。なお、スイッチSW1は、ワイドモード時には端子T・UL（固定値‘0’側）で固定である。このため、CLVサーボ回路系におけるスピンドルモータ2のCLV制御については、アンロック時から継続して速度誤差信号CLV-Sに基づいて行われることになる。

【0107】また、PLL回路系25Bにおいては、スイッチSW3を介して積分回路48に出力される信号が、FCOカウンタ45側からPCI回路50側のワイドロック回路系に切り換えられることになる。また、アナログPCO回路41の検出出力に基づいて得られる誤差制御信号S・EがスイッチSW4を介して加算器43に対して供給されることになる。PLL回路がロックした状態では、PCI回路50の位相誤差低域成分の検出出力を積分回路48により積分して得られる位相誤差信号S・PCは、周波数信号PLCKに対するEFM信号の周波数誤差情報に相当する。このため、スイッチSW3の出力がFCOカウンタ45側からPCI回路50側の系に切り替わった時点では、これまでFCOカウンタ45側から供給されていた周波数誤差信号S・FCの最終値を、位相誤差信号S・PCが引き継ぐようにして動作する状態が得られることになる。

【0108】上記動作により、PLL回路がロックして以降は、PCI回路50側のワイドロック回路系の出力に基づいてD/Aコンバータ49を介して得られる位相誤差信号S・PCと、アナログPCO回路41の検出出力である誤差制御信号S・Eを加算器43により合成した電圧値によってVCO44の発振周波数を制御することになる。このとき、PCI回路50の出力に基づいて得られる位相誤差信号S・PC（D/Aコンバータ49の出力）は、EFM信号周波数に追従するようにしてVCO44の中心周波数を決定する作用を有する位相低域成分とされ、一方、誤差制御信号S・Eの元となるアナログPCO回路41の検出出力（位相比較結果）は位相高域成分となる。従って、このときPLL回路系25Bにおいて、ロックレンジ及びキャプチャーレンジを決定

する要素は、D/Aコンバータ49、加算器43の特性と、VCO44の周波数可変範囲のみとなり、結果的にロックレンジ及びキャプチャーレンジを上記決定要素によって制限される範囲内にまで拡大することが可能となる。

【0109】ここで、図7に、これまで説明したPLL/CLVサーボ回路25のワイドモード時の動作を、CLV制御信号（CLVサーボ回路系25Aからモータドライバへ供給するドライブ出力）、周波数誤差信号S・FC/位相誤差信号S・PC、及びロック信号S・LOCKとの関係により示す。例えば、時点t0においてスピンドルモータ2を回転起動するための動作が開始されたとする。このとき、PLL回路はロックしていないので、図7（c）に示すようにロック信号S・LOCKはLレベルとされている。この状態では、PLL回路系25Aでは、FCOカウンタ45側の系が動作すること、例えば図7（b）に示す周波数誤差信号S・FCによりVCO発振周波数が制御されることになる。また、この初期段階では、スピンドルモータ2の回転速度がCLVターゲット値に対して相当に離れていることから、図7（a）のように比較的大きなレベルのCLV制御信号を供給して、ディスク回転速度を高速にもっていく。時点t0以降、先に説明したCLVスキャンモードとしての動作が行われ、PLL回路がロックしたとされる状態となると、図7（c）に示すロック信号S・LOCKはHレベルに変化する。これにより、前述のように、PLL回路系25Aでは、FCOカウンタ45側の系が有効な状態からPCI回路50側の系が有効な状態に切り替わるように動作する。そして、このとき図7（b）に示すように、加算器43に入力される信号としては、周波数誤差信号S・FCの最終値を引き継ぐようにして位相誤差信号S・PCに切り替わる。以降は、図7（a）のCLV制御信号及び図7（b）の位相誤差信号S・PCのレベル遷移から分かるように、CLVサーボ回路系25AのCLVターゲット値に一致するようにしてCLV制御が行われると共に、PLL回路系25Bでは、ロックされた状態を維持しながらVCO44の発振周波数が定常状態の中心周波数となるように制御されることになる。

【0110】例えば、本実施の形態のPCI回路50によるワイドロック系が備えられないPLL回路系25Bのワイドモードとしての動作を考えてみた場合、引き込み制御動作は、FCOカウンタ45側の系により得られる周波数誤差信号S・FCに基づいて行われることで、前述した動作によってキャプチャーレンジの拡大は実現される。ただし、アナログPCO回路41の出力（S・E）とFCOカウンタ45側の検出出力（S・PC）とでは位相が異なることから、PCI回路50が備えられない場合、PLL回路がロックした状態では、FCOカウンタ45側の検出出力である周波数誤差信号S・FC

について PLL 回路がロックした時点の最終値を保持して、この保持値としての周波数誤差信号  $S \cdot FC$  を、アナログ PCO 回路 41 の誤差制御信号  $S \cdot E$  に対するオフセット成分として加算する方法しか採り得なかった。このときの周波数誤差信号  $S \cdot FC$  は固定値となり、EFM 信号周波数に追従して変化するものではないため、ロックレンジの拡大は困難であった。これに対して、本実施の形態においては、前述のようにして、アナログ PCO 回路 41 の出力に対して、PCI 回路 50 の動作により得られる出力が加算されることによって、VCO 44 の中心周波数を EFM 信号周波数に追従するようにして可変制御することが可能となる。

【0111】続いて、上記したワイドモード時のシステムコントローラ 14 の処理動作として、主として、PLL ターゲット可変回路 39 に対する PLL ターゲット値の可変制御処理について、図 4 及び図 6 を参照して説明する。ワイドモード時においても、例えばスピンドルモータ 2 の回転起動時以降、あるいは、サーボ落ちや信号のドロップアウト等により PLL 回路のロックがはずれた直後の処理としては、図 4 に示す処理動作としてステップ S100～S108 までの処理が実行される。なお、図 4 に示す処理動作は既にノーマルモード時の動作として説明したため、ここでは説明を省略する。ただし、ワイドモード時は、CLV ターゲット値が固定であることから、CLV サーボ回路系は、この CLV ターゲット値に対して収束するように CLV 制御が行われている状態にあるものとされる。

【0112】図 4 におけるステップ S108 において、現在、ワイドモードであることが判別されると、ステップ S110 に進み、ワイドモードにおける CLV スキャンモードとしての処理が実行されることになる。このステップ S110 としての CLV スキャン処理は、図 6 の処理ルーチンに示すものとなる。この処理ルーチンでは、システムコントローラ 14 が制御信号 SC2 を出力して PLL ターゲット可変回路 39 を制御することで、以降説明するようにして、PLL ターゲット可変回路 39 から出力すべき PLL ターゲット値を可変する。

【0113】図 6 に示す CLV スキャンモードの処理としては、まず、ステップ S301 において、PLL ターゲット可変回路 39 から出力される PLL ターゲット値（図には PLLTG として示している）を最大値に設定する。上記 PLL ターゲット値の最大値は、例えば PLL ターゲット可変回路 39 に入力された CLV 速度カウンタ 33 の出力値を SDT とすれば、この値 SDT に対して乗算を行う係数  $k$  について最大値を設定することにより設定されるものである。また、この PLL ターゲット値の最大値は、前述した CLV ターゲット値の可変範囲の最大値である 900k に対応する値が設定される。また、PLL ターゲット値の最小値も同様に、CLV ターゲット値の可変範囲の最小値である 750k が設定さ

れる。

【0114】この後、システムコントローラ 14 は、ステップ S302 において、PLL 回路がロックしているか否かについて判別を行う。上記ステップ S302 において PLL 回路がロックしていると判別されたのであれば、図 4 のステップ S105 に進む。これによって、PLL 回路がロックした状態にある限り、ステップ S111→S112→S105 のループ処理によって通常動作モードが実行される。なお、この場合はワイドモードであることから、ステップ S105 に移行した時点では、PLL 回路系 25B においては、FCO カウンタ 45 の側の系から PCI 回路 50 のワイドロック回系に切り換えが行われることは前述したとおりである。

【0115】また、ステップ S302 において PLL 回路がロックしていないと判別された場合には、ステップ S303 に進み、PLL ターゲット値のカウントモードが現在アップカウントモードとされているか否かについて判別が行われる。ただし、ステップ S301→S302 の処理を経てステップ S303 に移行してきた初期段階では、ダウンカウントモードが設定されているものとする。ステップ S303 において、アップカウントモードであると判別された場合には、ステップ S304 に進んでアップカウント動作を行う。このアップカウント動作は、例えば図のように、まず、PLL ターゲット値可変演算に用いる係数  $k$  について、ステップ S304 において所定値による 1 ステップ分のインクリメントをする。そして、次のステップ S306 において、ステップ S305 にて得られた係数  $k$  を用いて、CLV 速度カウンタ 33 の出力値 SDT に対して乗算を行う。つまり、 $PLLTG = SDT \times k$

により、PLL ターゲット値を更新する処理を実行することでアップカウントを行う。なお、このときのカウント動作としては、PLL ターゲット値が先に説明した CLV ターゲット値の可変範囲である 750K～900K に対応して設定される最大値～最小値の間で、適正なステップ値ごとに増減が行われればよく、上記ステップ S304→S306、あるいは、次に説明するステップ S305→S306 の処理動作に限定されるものではない。例えば、現在の PLL ターゲット値に対して適切に設定されたアップカウント及びダウンカウントのための各係数により、カウント処理を行うごとに加重演算を行うようにすることも考えられる。

【0116】また、ステップ S303 において、ダウンカウントモードであると判別された場合には、ステップ S305 において、係数  $k$  について所定値による 1 ステップ分のデクリメントをしてステップ S306 に進み、この係数  $k$  により CLV 速度カウンタ 33 の出力値 SDT を乗算することで、PLL ターゲット値についてダウンカウントする。

【0117】ステップ S307 においては、現在の PLL

L ターゲット値が最大値とされているか否かについて判別が行われ、PLL ターゲット値が最大値とされている場合には、ステップ S307 に進んでダウンカウントモードにカウントモードを切り換え、ステップ S302 に戻る。これに対して、PLL ターゲット値が最大値に至っていないと判別された場合にはステップ S308 に進み、PLL ターゲット値が最小値に至ったか否かについて判別する。ここで、PLL ターゲット値が最小値に至ったと判別された場合にはステップ S309 に進むことによりアップカウントモードに切り換えが行われ、ステップ S302 に戻るようにされる。また、ステップ S308 において否定結果が得られれば、これまでのカウントモードを維持した状態でステップ S302 に戻るようにされる。このようにして、ワイドモードでの CLV スキャンモードでは、CLV ターゲット値が固定されるのに対して、PLL ターゲット値を可変してスキャンを行うようにしたことで、例えば VCO44 が CLV 速度カウンタ 33 の出力値 SDT に対してロック可能な状態により高速に遷移させることを可能としている。

【0118】なお、この場合にも、係数  $k$  に対するアップカウントモードとダウンカウントモードとの切り換えは、先に説明した CLV ターゲット値のスweep 時と同様、EFM ピット長の計測結果に基づいて行われるように構成することが可能である。

【0119】これまでの説明のようにして、ワイドモード時における PLL 回路のロックレンジ及びキャプチャレンジを拡大するように構成したことで、回転外乱に対する耐振強度は従来のシステムでは  $\pm 4$  フレームであったのに対して、本実施の形態としての CD プレーヤがバッファメモリとして 4 M バイトの DRAM を RAM9 として使用した場合、ワイドモード時においては  $\pm 35000$  EFM フレームとなり、PLL 回路のロックがはずれない限り、従来に対して 9000 倍の強度を有することになる。そして、PLL 回路のロックがはずれる限界は、従来  $\pm 1$  MHz 程度のロックレンジであったのに対して、本実施の形態では  $\pm 7$  MHz の程度ロックレンジが得られることになり、従って、従来に対して 7 倍の外乱強度に対応することが可能となる。また、本実施の形態においては、信号処理回路 7 内における処理が VCO44 の発振周波数を  $1/2$  分周した信号 PLCK に基づく周波数信号をクロックとしている。このことから、EFM デコード回路 22 だけでなくエラー訂正／デインターリーブ処理回路 23 も信号 PLCK により動作することになる。なお、データの時間軸補正はメモリコントローラ 8 の RAM9 に対する書き込み及び読み出し制御によって行われる。このため、エラー訂正時のフレームジッターマージンは不要となる。これにより、例えば 16 K ビット程度の容量による RAM24 をもちいた最小のシステム構成に依りながらも、フレームジッターマージンを考慮することなく、PLL/CLV サーボ

回路を設計することも可能となる。つまり、従来は約 20 Hz 程度必要とされていた CLV サーボ帯域を 1 Hz 程度にまで設定することが可能であり、それだけ CLV サーボ回路系における消費電力を低減させることができる。

【0120】(2-f. 可変速再生動作)とところで、これまでの説明では、ワイドモード時において CLV ターゲット設定回路 35 から出力される CLV ターゲット値は、所要の CLV 速度に対応する固定値とされていることを前提として説明を行ったが、本実施の形態では、PLL 回路系 25B が、上述したワイドモード時としての動作を行っている状態の元で、CLV ターゲット設定回路 35 から出力される CLV ターゲット値を変更することで、いわゆる可変速再生を行うことが可能となる。つまり、PLL 回路系 25B としては、先に説明したワイドモードとしての動作によってロックレンジが拡大されている状態(ロックしている状態)のもとで、CLV ターゲット設定回路 35 の CLV ターゲット値を、所要の CLV 速度に対応する値に変更するようにされる。

【0121】前述のように、本実施の形態のワイドモードの動作により得られるロックレンジは、D/A コンバータ 49、加算器 43 の特性と VCO44 の周波数可変範囲に従った範囲内が保証されているので、PLL 回路系 25B がワイドモードとしての動作によりワイドロック化された状態にあれば、CLV ターゲット設定回路 35 の CLV ターゲット値を変更設定しても、CLV サーボ回路系 25A は、変更された目的の CLV ターゲット値に対応する CLV 速度が得られるように収束する一方で、PLL 回路系 25B のロックした状態は維持されて信号読み取りが可能な状態を得ることができる。つまり、信号読み出し中にこの読み出し動作を停止することなく再生速度を可変することができる。ただし、CLV ターゲット値を目的の値にもっていくまでの可変ステップ量を大きく取ると、これがアナログ PCO 回路 41 のロック範囲を越えることで PLL 回路系 25B のロックがはずれてしまう。このため、CLV ターゲット値の可変ステップ量は、ロックがはずれないようにして設定される必要がある。本実施の形態の場合、理論的には 25 パーセントの最大ステップ幅が得られるが、実用上は、1 ステップあたり 2 パーセント以下とすればよいという結果が得られた。また、ステップの可変時間間隔は、CLV サーボ回路系 25A におけるディスク回転速度制御の追従速度や、同期検出回路 26 から入力される信号 GFS が落ちないようにすること等を考慮して設定されればよい。

【0122】例えば CD の場合、可変速再生により得られるオーディオ再生信号は、基準速度に対して可変された割合だけ、ピッチ(音高)及び再生速度の可変されたものとなる。従って、例えば、可変速再生により得られた再生信号は、カラオケなどのいわゆるキートランスポ

ーズ機能に利用することができる。ただし、カラオケのキートランスポート機能に利用する際には、再生速度については、基準速度再生に対応する再生速度が要求されるが、ピッチは可変速再生により得られたものを維持した上で再生速度は基準速度に対応する速度に戻す技術は、例えば先に本出願人により各種提案されており、これらの技術のうちから適当なものを選択して採用すればよい。

【0123】なお、上記実施の形態として説明したワイドモード時の動作を実現する構成は、例えば、倍速再生対応とされていれば、特にワイドモードが設定されない再生装置においても適用が可能である。また、上記実施の形態としては再生装置としてCDプレーヤを例に挙げたが、例えばディスク回転制御をCLVにより行う他のディスクメディアに対応する再生装置に対しても適用が可能であり、この際、記録データはEFM信号に限定されるものではなく、当然のこととして、他の方式によるランレングスリミテッド符号とされていても本発明が有効に適用されるものである。

【0124】

【発明の効果】以上説明したように本発明によれば、PLL回路のキャプチャレンジ及びロックレンジをワイド化するワイドモードの動作として、サーボ引き込み時には基準信号に基づいてクロック周波数計測手段により計測したVCOの周波数と、現在のEFM信号周波数の誤差情報を積分回路に入力し、ロック時には位相差検出手段により検出したクロックとランレングスリミテッドコードとの位相誤差低域情報を積分回路に入力するように切り換えを行い、上記積分回路の出力と位相制御回路とを加算した出力によってVCOの発振周波数を制御するようにしている。これにより、PLL回路は、サーボ引き込み時にはEFM信号周波数の誤差情報に基づき、またロック時には位相誤差低域情報に基づいた制御によって、ディスク回転速度に対応するEFM信号の周波数に追従するように動作する。この結果、実際のキャプチャレンジ及びロックレンジは、VCOの発振周波数範囲によってのみ制限されるまでに拡大されることになる。従って、本発明では強力なワイドキャプチャ及びワイドロック機能が与えられることになり、それだけディスクの回転外乱等を要因とする対振性能が向上されることになり、携帯用の再生装置に適用した場合に特に有用となる。

【0125】また、上記ワイドキャプチャ及びワイドロック機能を実現するのにあたり、例えば従来のように2系統のPLL回路は必要とされず、PLL回路系が1系統で済むことになり、それだけ、回路規模の縮小及びコストの低減が図られることになる。また、サーボ引き込み時においてVCOの周波数の誤差情報を得るための目標周波数として、EFM信号周波数に基づいて得られたCLV速度情報を利用しているが、このCLV速度情

報に基づいてCLV速度をPLL回路がロックするように引き込むための制御が行われることで、例えば従来のラフサーボ回路系と比較して高い分解能の制御値によってCLV速度の引き込み制御が行われることになるため、それだけPLL回路の安定的な動作が期待できることにもなる。

【0126】また、本発明としてのPLL回路の引き込み方法によると、ノーマルモード時には、PLL回路側のVCOの発振周波数が所定の中心周波数で固定となるように制御し、CLVサーボ系では、CLV速度（EFM信号周波数）の誤差検出のための周波数目標値を、EFM信号のフレーム単位の周期ごとに発生する符号列の反転回数に平均値に基づいて設定した最大値と最小値の範囲内で可変するようにしていることで、ノーマルモード時の引き込み制御としても、従来のようなラフサーボ回路系を省略して1系統のCLVサーボ回路系により引き込み制御及び通常のCLV制御への引継が可能のように構成することで、回路系の簡略化を図ることが可能のようにしている。また、ワイドモード時では、CLVサーボ回路系の上記周波数目標値を固定としたうえで、VCOの発振周波数が上記EFM信号周波数の最大値と最小値に対応して設定された可変範囲で可変するように制御することで、例えばより迅速な引き込み動作が得られるようにされる。

【図面の簡単な説明】

【図1】本発明の実施の形態としての再生装置の構成例を示すブロック図である。

【図2】PLL/CLVサーボ回路系の構成例を示すブロック図である。

【図3】CLVターゲット可変設定回路の構成例を示すブロック図である。

【図4】CLV制御に伴うシステムコントローラの処理動作を示すフローチャートである。

【図5】CLV制御に伴うシステムコントローラの処理動作としてノーマルモード時の処理動作を示すフローチャートである。

【図6】CLV制御に伴うシステムコントローラの処理動作としてワイドモード時の処理動作を示すフローチャートである。

【図7】ワイドモード時のCLV制御動作の遷移を示す説明図である。

【図8】EFM信号のフレーム構造を示す説明図である。

【図9】EFMワードを示す説明図である。

【図10】EFMワードを示す説明図である。

【図11】EFMワードを示す説明図である。

【図12】EFMワードを示す説明図である。

【図13】従来例としてのCLVサーボ制御回路系の構成例を示すブロック図である。

【図14】従来例としてのワイドキャプチャ機能を有

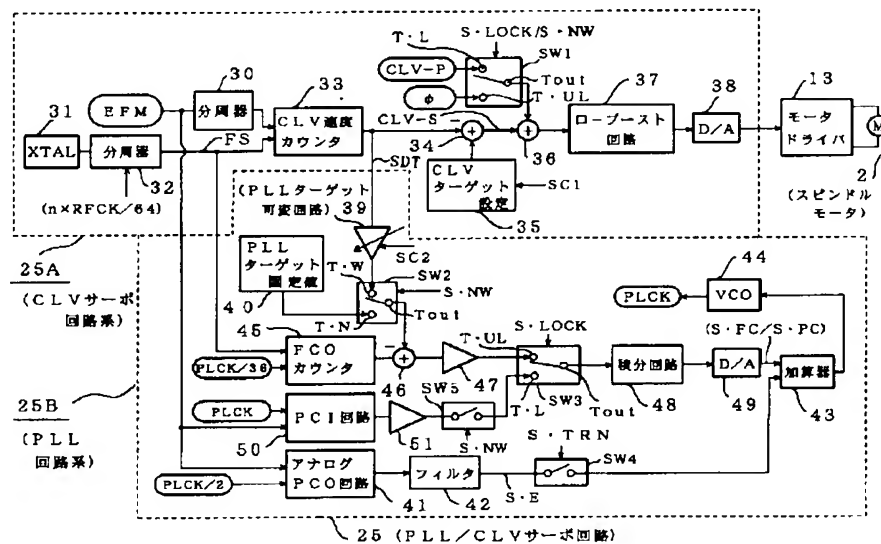
するPLL回路の構成を示すブロック図である。

【符号の説明】

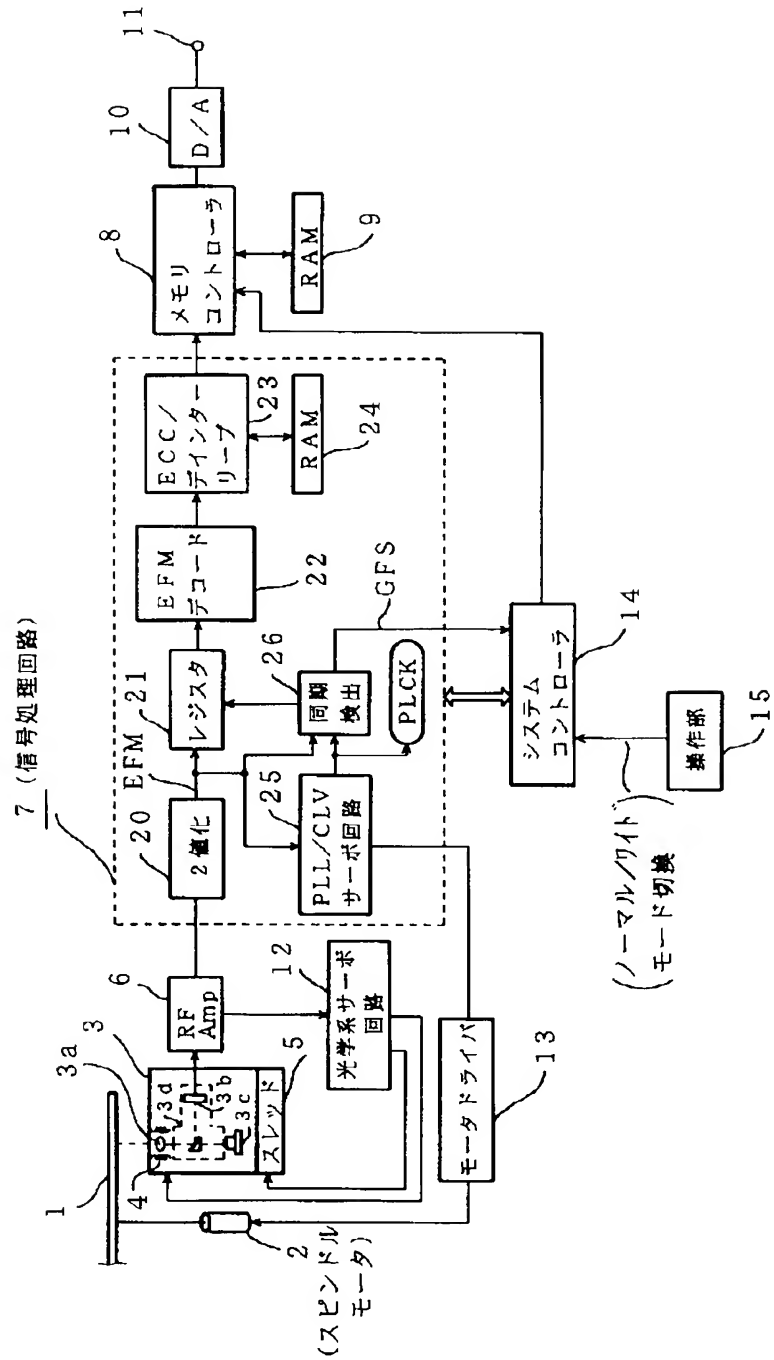
1 ディスク、2 スピンドルモータ、3a 対物レンズ、3b ディテクタ、3c レーザダイオード、3d 光学系、3 光学ヘッド、4 二軸機構、5 スレッド機構、6 RFアンプ、7 信号処理回路、8 メモリコントローラ、9 RAM (バッファメモリ)、10 D/Aコンバータ、11 オーディオ出力端子、12 光学系サーボ回路、13 モータドライバ、14 システムコントローラ、15 操作部、20 2値化回路、21 レジスタ、22 EFMデコード回路、23 エラー訂正/デインターリーブ処理回路、25A CLVサーボ回路系、25B PLL回路系、25 PLL/CLVサーボ回路、26 同期検出回路、3

0 分周器、31 水晶発振器、32 分周器、33 CLV速度カウンタ、34 減算器、35A ターゲット可変設定回路、35 CLVターゲット設定回路、36 加算器、37 ローバースト回路、38 D/Aコンバータ、39 PLLターゲット可変回路、40 ターゲット固定値レジスタ、41 アナログPCO回路、42 フィルタ、43 加算器、44 VCO、45 FCOカウンタ、46 減算器、47 アンプ、48 積分回路、49 D/Aコンバータ、50 PCI回路、51 アンプ、60 カウンタ部、61 セレクタ、62 最小値レジスタ、63 最大値レジスタ、64セット/リセット部、65 最大値検出部、66 最小値検出部、67 エッジ検出回路、68 ORゲート、SW1, SW2, SW3, SW4, SW5 スイッチ

【図2】

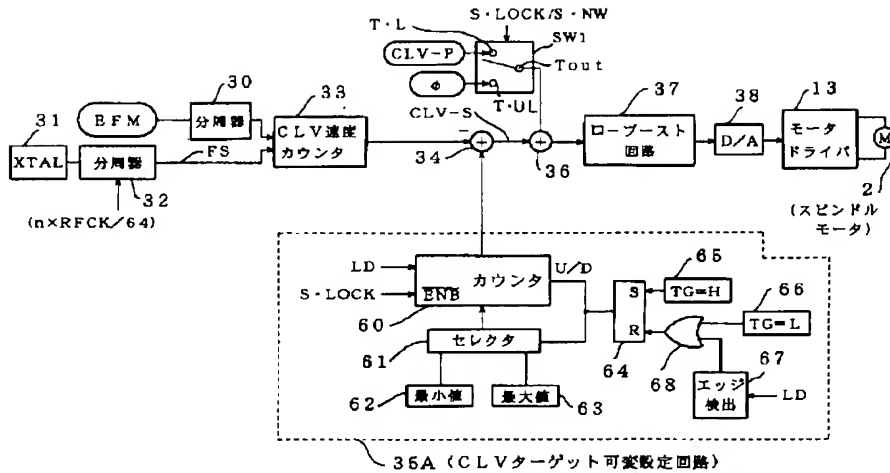


【図1】

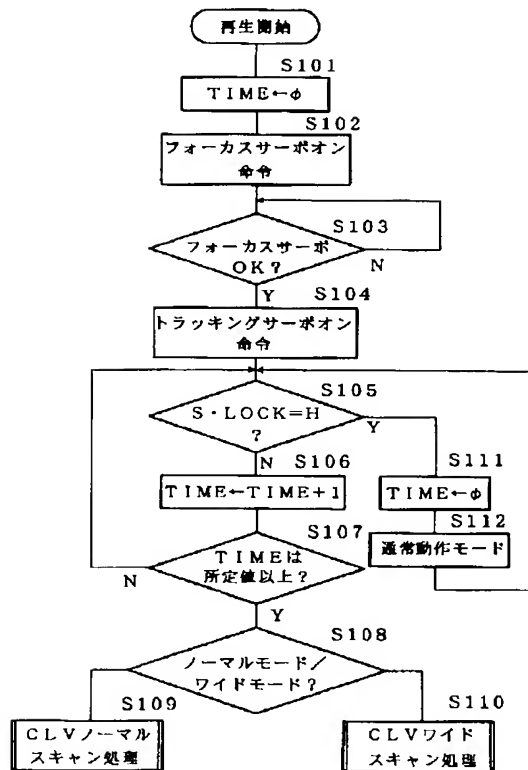




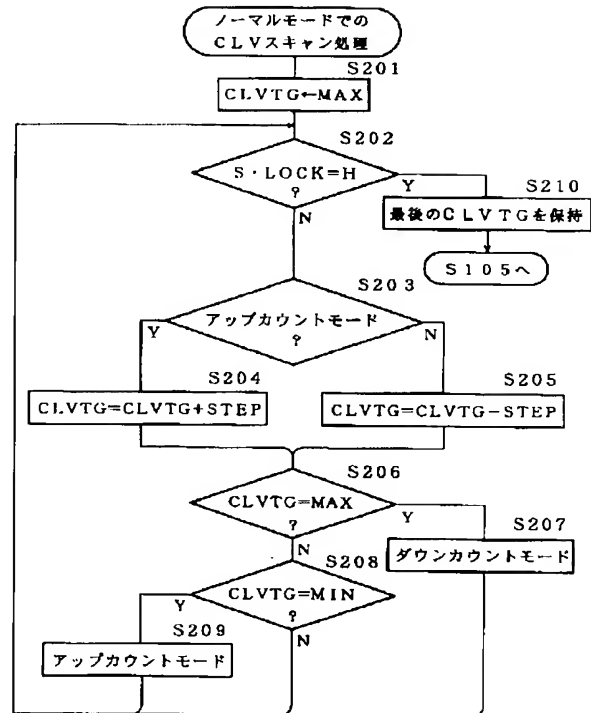
【図3】



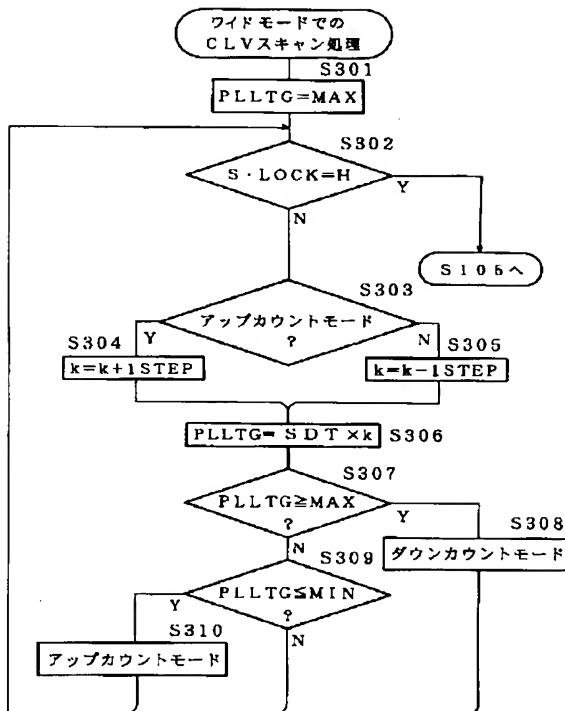
【図4】



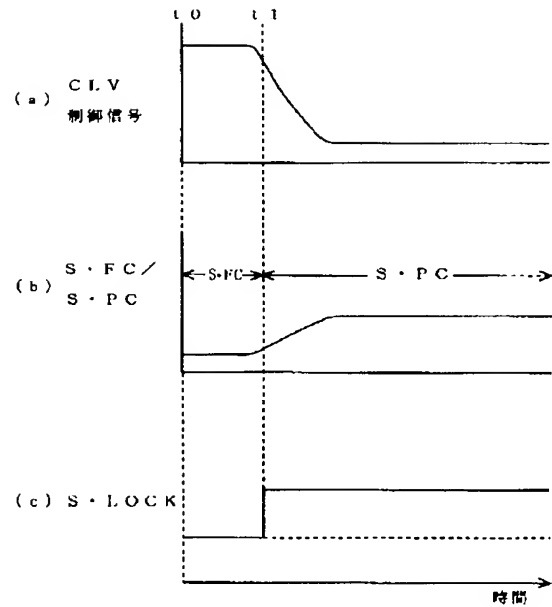
【図5】



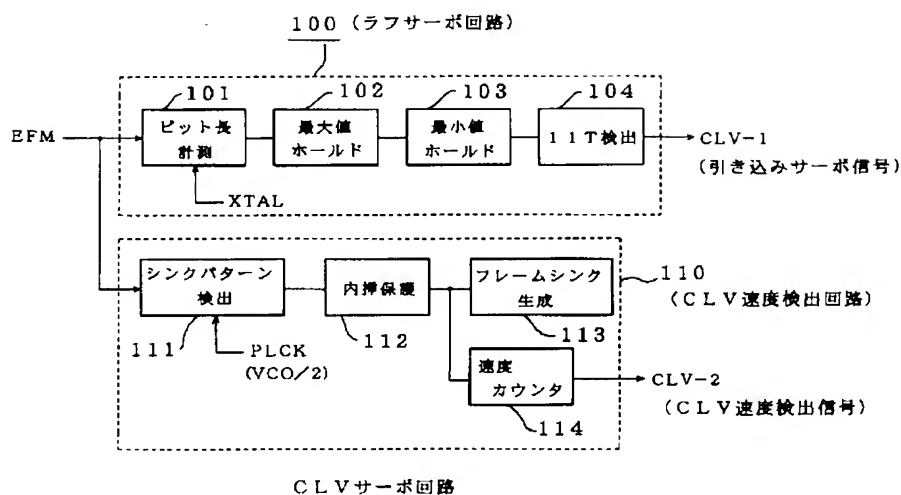
【図6】



【図7】



【図13】





【図9】

データ	E F Mデータ	反転回数	データ	E F Mデータ	反転回数
0	01001000100000	3	20	00000000100000	1
1	10000100000000	2	21	10000100001000	3
2	10010000010000	3	22	00001000100000	2
3	10001000100000	3	23	00100100100000	3
4	01000100000000	2	24	01000100001000	3
5	00000100010000	2	25	00000100001000	2
6	00010000010000	2	26	01000000100000	2
7	00100100000000	2	27	00100100001000	3
8	01001001000000	3	28	01001001001000	4
9	10000001000000	2	29	10000001001000	3
A	10010001000000	3	2A	10010001001000	4
B	10001001000000	3	2B	10001001001000	4
C	01000001000000	2	2C	01000001001000	3
D	00000001000000	1	2D	00000001001000	2
E	00010001000000	2	2E	00010001001000	3
F	00100001000000	2	2F	00100001001000	3
10	10000000100000	2	30	00000100000000	1
11	10000010000000	2	31	10000010001000	3
12	10010010000000	3	32	10010010001000	4
13	00100000100000	2	33	10000100010000	3
14	01000010000000	2	34	01000010001000	3
15	00000010000000	1	35	00000010001000	2
16	00010010000000	2	36	00010010001000	3
17	00100010000000	2	37	00100010001000	3
18	01001000010000	3	38	01001000001000	3
19	10000000010000	2	39	10000000001000	2
1A	10010000001000	3	3A	10010000001000	3
1B	10001000010000	3	3B	10001000001000	3
1C	01000000010000	2	3C	01000000001000	2
1D	00001000010000	2	3D	00001000001000	2
1E	00010000010000	2	3E	00010000001000	2
1F	00100000010000	2	3F	00100000001000	2

【図10】

40	01001000100100	4	50	01001000100010	4
41	10000100100100	4	51	10000100100010	4
42	10010000100100	4	52	10010000100010	4
43	10001000100100	4	53	10001000100010	4
44	01000100100100	4	54	01000100100010	4
45	00000000100100	2	55	00000000100010	2
46	00010000100100	3	56	01000000100100	3
47	00100100100100	4	57	00100100100010	4
48	01001001000100	4	58	01001001000010	4
49	10000001000100	3	59	10000001000010	3
4A	10010001000100	4	6A	10010001000010	4
4B	10001001000100	4	6B	10001001000010	4
4C	01000001000100	3	6C	01000001000010	3
4D	00000001000100	2	6D	00000001000010	2
4E	00010001000100	3	6E	00010001000010	3
4F	00100001000100	3	6F	00100001000010	3
50	10000000100100	3	70	10000000100010	3
51	10000010000100	3	71	10000010000010	3
52	10010010000100	4	72	10010010000010	4
53	00100000100100	3	73	00100000100010	3
54	01000010000100	3	74	01000010000010	3
55	00000010000100	2	75	00000010000010	2
56	00010010000100	3	76	00010010000010	3
57	00100010000100	3	77	00100010000010	3
58	01001000000100	3	78	01001000000010	3
59	10000000000100	2	79	00001001001000	3
5A	10010000000100	3	7A	10010000000010	3
5B	10001000000100	3	7B	10001000000010	3
5C	01000000000100	2	7C	01000000000010	2
5D	00001000000100	2	7D	00001000000010	2
5E	00010000000100	2	7E	00010000000010	2
5F	00100000000100	2	7F	00100000000010	2

【図11】

データ	E F Mデータ	反転回数	データ	E F Mデータ	反転回数
80	01001000100001	4	A0	00001000100001	3
81	10000100100001	4	A1	10000100001001	4
82	10010000100001	4	A2	01000100010000	3
83	10001000100001	4	A3	00000100100001	3
84	01000100100001	4	A4	01000100001001	4
85	00000000100001	2	A5	00000100001001	3
86	00010000100001	3	A6	010000000100001	3
87	00100100100001	4	A7	001001000001001	4
88	01001001000001	4	A8	01001001001001	5
89	10000001000001	3	A9	10000001001001	4
8A	10010001000001	4	AA	10010001001001	5
8B	10001001000001	4	AB	10001001001001	5
8C	01000001000001	3	AC	01000001001001	4
8D	00000001000001	2	AD	00000001001001	3
8E	00010001000001	3	AE	00010001001001	4
8F	00100001000001	3	AF	00100001001001	4
90	10000000100001	3	B0	00000100100000	2
91	10000010000001	3	B1	10000010001001	4
92	10010010000001	4	B2	10010010001001	5
93	00100000100001	3	B3	00100100010000	3
94	01000010000001	3	B4	01000010001001	4
95	00000010000001	2	B5	00000010001001	3
96	00010010000001	3	B6	00010010001001	4
97	00100010000001	3	B7	00100010001001	4
98	01001000000001	3	B8	01001000001001	4
99	10000010010000	3	B9	10000000001001	3
9A	10010000000001	3	BA	10010000001001	4
9B	10001000000001	3	BB	10001000001001	4
9C	01000010010000	3	BC	01000000001001	3
9D	00001000000001	2	BD	00001000001001	3
9E	00010000000001	2	BE	00010000001001	3
9F	00100010010000	3	BF	00100000001001	3

【図 1 2】

データ	E F Mデータ	反転回数	データ	E F Mデータ	反転回数
C0	01000100100000	3	E0	01000100000010	3
C1	10000100010001	4	E1	00000100000010	2
C2	10010010010000	4	E2	10000100010010	4
C3	00001000100100	3	E3	00100100000010	3
C4	01000100010001	4	E4	01000100010010	4
C5	00000100010001	3	E5	00000100010010	3
C6	00010010010000	3	E6	01000000100010	3
C7	00100100010001	4	E7	00100100010010	4
C8	00001001000001	3	E8	10000100000010	3
C9	10000100000001	3	E9	10000100000100	3
CA	00001001000100	3	EA	00001001001001	4
CB	00001001000000	2	EB	00001001000010	3
CC	01000100000001	3	EC	01000100000100	3
CD	00000100000001	2	ED	00000100000100	2
CE	00000010010000	2	EE	00010000100010	3
CF	00100100000001	3	EF	00100100000100	3
D0	00000100100100	3	F0	00000100100010	3
D1	10000010010001	4	F1	10000010010010	4
D2	10010010010001	5	F2	10010010010010	5
D3	10000100100000	3	F3	00001000100010	3
D4	01000010010001	4	F4	01000010010010	4
D5	00000010010001	3	F5	00000010010010	3
D6	00010010010001	4	F6	00010010010010	4
D7	00100010010001	4	F7	00100010010010	4
D8	01001000010001	4	F8	01001000010010	4
D9	10000000010001	3	F9	10000000010010	3
DA	10010000010001	4	FA	10010000010010	4
DB	10001000010001	4	FB	10001000010010	4
DC	01000000010001	3	FC	01000000010010	3
DD	00001000010001	3	FD	00001000010010	3
DE	00010000010001	3	FE	00010000010010	3
DF	00100000010001	3	FF	00100000010010	3

200 (PLL回路)

